

負荷短絡補助回路を用いた MOSFET インバータの スイッチング損低減法

水野 知博*, 野口 季彦 (静岡大学)

Switching Loss Reduction of MOSFET Inverter Using Auxiliary Circuit Shorting Load
Tomohiro Mizuno, Toshihiko Noguchi (Shizuoka University)

1. まえがき

MOSFET インバータのスイッチング損を低減するためには、ターンオン時間およびターンオフ時間を短縮することが求められる。MOSFET のターンオン時間はゲート入力容量を高速に充電することにより短縮することができる⁽¹⁾。しかし、ターンオフ時間はドレインソース容量を充電する時間によって決定されるため、ドライブ回路側での制御は困難である。そこで、本稿ではハーフブリッジインバータにおいて、簡単な補助回路を用いることによりターンオフ時間を短縮し、スイッチング損を低減する手法について実機検証を行ったので報告する⁽²⁾。

2. 回路構成と動作原理

<2・1>回路構成 図 1 に負荷と並列に双方向スイッチを付加した負荷短絡補助回路付きハーフブリッジインバータを示す。電源電圧 $E1$ および $E2$ を 100 V、主素子 $S1$ および $S2$ には ST 製 STY60NM60、補助素子 $S3$ および $S4$ には MITSUBISHI 製 FK30SM-5、負荷には負荷力率 0.85 の誘導性負荷を用いた。C1 および C2 は主素子のドレインソース容量を表している。主素子と比べ補助素子のドレインソース容量は小さいため、図 1 では示していない。

<2・2>動作原理 スwitchingパターンを図 2 に示す。Mode1 では $E1$ - $S1$ -Load の経路で電流が流れる。Mode1 では $S4$ に電流が流れていないため、いつ $S4$ をオフしてもよい。Mode2 では $E1$ -C1-Load の経路で電流が流れ、C1 を充電すると同時に、C2-Load- $E2$ の経路で電流が流れ、直前の Mode1 で C2 に蓄えられていた電荷は放電される。このときの充放電の時間は、ドレインソース容量と負荷の時定数によって決定され、軽負荷時において増加する。Mode3 では $S3$ をオンすることにより $E1$ -C1-D4- $S3$ の経路で電流を流すことにより C1 を高速に充電すると同時に、C2-D4- $S3$ - $E2$ の経路で電流を流すことにより C2 に蓄えられていた電荷は高速に放電され、電源に回収される。Mode4 では $S2$ をオンすることにより C2 に残留していた電荷は消費されると同時に、 $E1$ -C1- $S2$ - $E2$ の経路で電流が流れ、C1 が高速に充電される。その後、負荷に流れていた電流は Load- $E2$ -D2 の経路で還流し、Mode5 では Mode4 の還流モードが終了して、 $E2$ -Load- $S2$

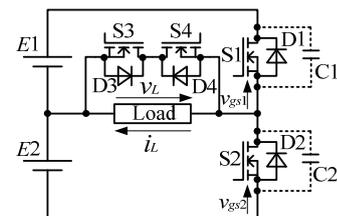


図 1 補助回路付きハーフブリッジインバータ
Fig. 1. Half-bridge inverter with auxiliary circuit.

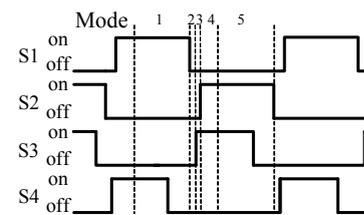


図 2 スwitchingパターン
Fig. 2. Switching pattern.

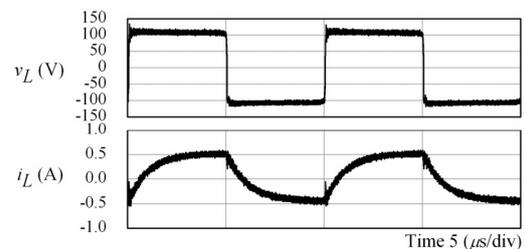


図 3 従来回路の出力波形
Fig. 3. Output waveforms of conventional circuit.



図 4 提案回路の出力波形
Fig. 4. Output waveforms of proposed circuit.

の経路で電流が流れる。 $S2$ をオフし、 $S1$ をオンする際も同様である。この負荷短絡補助回路はソフトスイッチングを目的とするものではなく、ハードスイッチングの dv/dt を高めて効率を改善しようとするものである⁽³⁾。

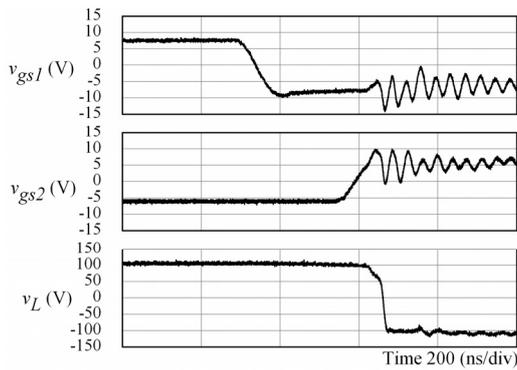


図 5 従来回路の運転波形

Fig. 5. Operation waveforms of conventional circuit.

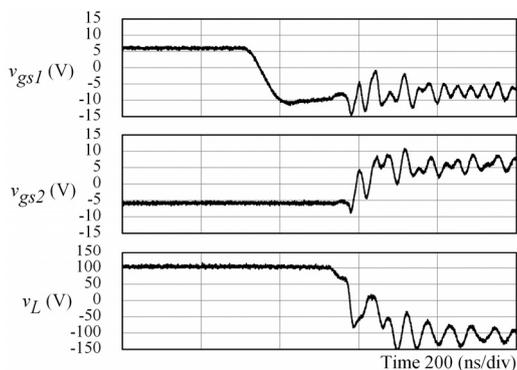


図 6 提案回路の運転波形

Fig. 6. Operation waveforms of proposed circuit.

3. 実験結果

提案回路の有効性を確認するために、実機検証を行った。動作周波数 100 kHz, デューティサイクル 50 %, S1 と S2 のデッドタイムを 250 ns, S1 および S2 と S3 および S4 のデッドタイムを 160 ns とした条件にて、従来回路および提案回路の 28 W 出力時出力波形を図 3 および図 4 に示す。また、S1 と S2 のデッドタイム中の運転波形を図 5 および図 6 に示す。これらの図から読み取れるように、従来回路では S1 をオフしてから負荷電圧が下がり始めず、S2 をオンした直後に負荷電圧が下がり始めているのに対し、提案回路では S2 をオンする直前に負荷電圧が下がり始めていることがわかる。これは、S2 をオンする直前に S3 をオンすることにより、C1 の高速充電を行うと同時に、C2 に蓄えられていた電荷が高速放電されるためである。提案回路では、補助回路を用いることにより主素子のドレインソース容量に蓄えられていた電荷を電源に回収することが可能であるため、主素子のターンオン損失は低減する。28 W 出力時において効率は 4 ポイント改善できる。また、負荷を変化させたときの効率特性を図 7 に示す。負荷 55 W 以下の軽負荷時において従来回路に比べ提案回路のほうが高効率であることがわかる。これは、従来回路ではデッドタイム期間中に主素子のドレインソース容量の充放電を行うことができず、ターンオン損失が増加するのに対し、提案回路で

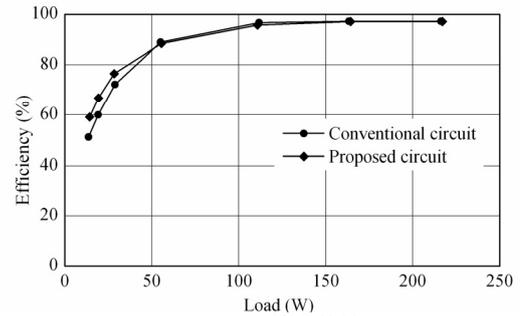


図 7 負荷-効率特性

Fig. 7. Output power – efficiency characteristic.

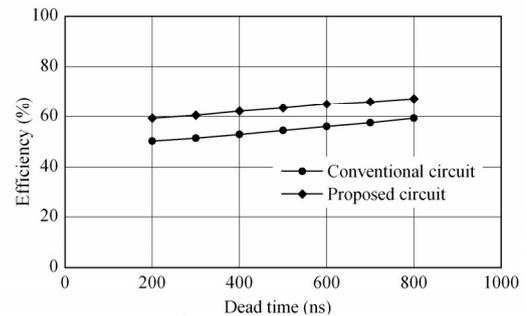


図 8 デッドタイム-効率特性

Fig. 8. Dead time – efficiency characteristic.

は高速に主素子のドレインソース容量が充放電され、ターンオン損失が低減できるためである。負荷 55 W 以上の重負荷時においては、従来回路と提案回路では効率差はほとんどみられない。これは、重負荷時においては従来回路でも主素子のドレインソース容量が高速に充放電できるためである。また、14 W 出力時における S1 と S2 のデッドタイムと効率の関係を図 8 に示す。デッドタイムが長くなると従来回路でもデッドタイム期間中に主素子のドレインソース容量の充放電が行えるため、ターンオン損失が減少し、効率は上がる。しかし、100 kHz のような高周波駆動での軽負荷時の場合、デッドタイム期間中に主素子のドレインソース容量の充放電が行えないため、MOSFET のスイッチング損を低減するためには本稿で提案するような手法が有効となる。デッドタイムが 200 ns のとき、効率は 8 ポイント改善できる。

4. まとめ

本稿では、ハーフブリッジインバータを例に挙げ、MOSFET のスイッチング損低減法を提案し、実機検証により運転特性を検証した。その結果、軽負荷時に最大 8 ポイントの高効率化を達成できることを確認した。

文 献

- (1) 野口・矢島・小松: 電学論 D, Vol. 129, No. 1, pp. 46-52 (2009)
- (2) 水野・野口: 平 23 電学産応, 1-109 (2011)
- (3) R. W. De Doncker and J. P. Lyons : Conf. Rec. of IEEE-IAS Annual Meeting, Vol. 2, pp. 1228-1235 (1990)