

スイッチングアシスト補助回路を用いた MOSFETの高速スイッチング法

正員 野口 季彦* 学生員 水野 知博* 学生員 村田 宗洋*

High-Speed Switching Method of MOSFETs Using Switching Assist Auxiliary Circuit

Toshihiko Noguchi*, Member, Tomohiro Mizuno*, Student Member, Munehiro Murata*, Student Member

(2013年5月22日受付, 2013年7月18日再受付)

This paper describes a high-speed switching method of MOSFETs applied to a chopper and an inverter. By employing a set of auxiliary switches and diodes in parallel with a load, the turn-off time of the MOSFETs can be reduced, which enables high-frequency operation and reduction of switching loss. It was confirmed through experimental tests that the turn-off di/dt of the main MOSFETs was effectively improved by the proposed method, particularly in the low-load range.

キーワード: MOSFET, 高速スイッチング, ターンオフ, 補助回路, チョッパ, インバータ

Keywords: MOSFET, high-speed switching, turn-off, auxiliary circuit, chopper, inverter

1. はじめに

今後、SiC (Silicon Carbide)-MOSFETのような新しい電力用半導体スイッチング素子が実用化され、パワーエレクトロニクス分野へ広く普及すると予想されている。従来のSi (Silicon)を基材とする電力用半導体スイッチング素子と比べてSiC-MOSFETは高耐圧、高温動作、高速スイッチング、低損失など数々の特長をもち、電力変換器のパワー密度を飛躍的に向上させると期待されている。しかし、一般にMOSFETでは低オン抵抗や大電流化に伴って各種寄生容量が増加する傾向にあり、SiC素子ではその固有物性も相俟って、さらに寄生容量が増大すると考えられる。これにより、入力容量や出力容量の高速充放電が妨げられ、本来有している高速スイッチング特性を十分に発揮することが困難になる。

高速スイッチングを実現するためには、ターンオン時間およびターンオフ時間を短縮することが求められる。ターンオン時間は入力容量を高速に充電することにより短縮することができる。従来行われている手法としては、ゲート抵抗を小さくすることやゲート抵抗と並列にスピードアップコンデンサを用いることなどが挙げられる。近年では新

しいゲート駆動回路の研究も行われており、筆者らはインダクタインパルス重畳方式を用いた超高速スイッチングゲート駆動回路を提案している⁽¹⁾。一方、ターンオフ時間は出力容量を充電する時間によって決定されるため、ゲート駆動回路側での制御は困難であり、ターンオフ時間を短縮させる手法は確立されていないのが現状である。このように、MOSFETの高周波スイッチングを実現するためには、入力容量の高速充電だけでなく出力容量の高速充電も必要である。また、高周波電力変換器では全体の損失におけるスイッチング損の割合が大きくなり、MOSFETの各種寄生容量に蓄えられている電荷を回収する技術も必要である。入力容量に蓄えられている電荷はゲート抵抗を用いない共振形ゲート駆動回路を用いることで回収できる⁽²⁾。一方、出力容量やスナバ回路に蓄えられている電荷はソフトスイッチング技術や回生スナバ回路を用いることにより回収することができる⁽³⁾。しかし、それらの技術は di/dt や dv/dt を抑制することでスイッチング損を低減する手法であり、スイッチング時間としては増加するため、MHz級の高周波電力変換器を実現することは難しい。

そこで、本稿ではスイッチングアシスト補助回路を用いることによりターンオフ時間を短縮する新たな手法を提案する⁽⁴⁾⁽⁵⁾。この手法は、ソフトスイッチングを目的とするのではなく、ハードスイッチングの di/dt を高めて高速かつ高効率なスイッチングを可能にするものである。この回路を降圧チョッパと双方向チョッパ、そしてハーフブリッジインバータに適用し、実験を通じて運転特性を検証した。

* 静岡大学
〒432-8561 静岡県浜松市中区城北3丁目5-1
Shizuoka University
3-5-1, Johoku, Naka-ku, Hamamatsu, Shizuoka 432-8561,
Japan

提案する手法で高速スイッチングを行うことにより, 降圧チョッパでは 1 MHz の高周波動作を実現し, 双方向チョッパでは軽負荷領域において 2.7 ポイントの効率改善を確認した。また, ハーフブリッジインバータでも軽負荷領域において 6.1 ポイントの効率改善を実験的に確認したので報告する。

2. 回路構成と動作原理

〈2・1〉 降圧チョッパ Fig. 1 に負荷素子と並列に補助ダイオード D2 と補助スイッチ S2 を付加したスイッチングアシスト補助回路付き降圧チョッパを示す。C1 は主素子の出力容量を表しており, スナバ回路を示しているものではない。スナバ回路はターンオフを遅くする要因であるため, 本手法ではスナバ回路を使用しない。補助回路には連続的に電流が流れないため, 補助スイッチには電流容量の小さなものを使用することができる。また, 補助スイッチ S2 はオンするタイミングが重要となるため, 入力容量が小さく高周波駆動が可能なものを用いる。一般にこのような素子はオン抵抗が大きいので導通損が問題となるが, 高速なスイッチングを優先した素子選定を行う。ターンオフ時の v_{ds} の dv/dt は, 電源インピーダンスや補助回路を含む配線インピーダンスと寄生容量によって決定される。一般に, 寄生容量のばらつきは MOSFET の製造工程で生じ, 入力容量は $\pm 5\%$, 出力容量は $\pm 5 \sim 10\%$ ばらつくとされている。したがって, v_{ds} の dv/dt も同様のばらつき幅をもつと考えられる。しかし, 電源インピーダンスや配線インピーダンス, MOSFET の内部インピーダンスは極めて小さく設計されるため, 絶対値としての dv/dt は非常に大きな値となり, ターンオフ時間が大きくばらつくことはない。

従来回路では, 主素子 S1 をオフしてから出力容量が充電される時間, すなわちターンオフ時間は負荷抵抗と出力容量の時定数によって決定される。つまり, 重負荷のときターンオフ時間は短く, 軽負荷のときターンオフ時間は増加する。よって, 軽負荷時は高速スイッチングすることが困難となる。そこで, 提案回路では主素子 S1 をオフした直後に補助スイッチ S2 をオンする。補助スイッチ S2 をオンすることにより, $E \rightarrow D2 \rightarrow S2 \rightarrow C1 \rightarrow E$ の経路で主素子出力容量の高速充電が可能となり, 高速スイッチングが実現できる。なお, 提案回路は補助回路でスイッチング損と導通損が発生するため, 従来回路より効率は悪化する。

〈2・2〉 双方向チョッパ Fig. 2 にインダクタと並列に双方向スイッチ S3 および S4 を付加したスイッチングアシスト補助回路付き双方向チョッパを示す。C1 と C2 は主素子の出力容量を表している。降圧チョッパと同様に補助素子には電流容量の小さな素子を使用することができる。また, 耐圧も低いものが使用でき, 倍電圧昇圧動作時には補助素子の耐圧は主素子の半分でよい。

昇圧動作時, 従来回路では主素子 S2 をスイッチングさせるとともに, 主素子 S1 を同期整流させることにより高効率な昇圧動作が可能となる。しかし, 従来回路では主素子 S2

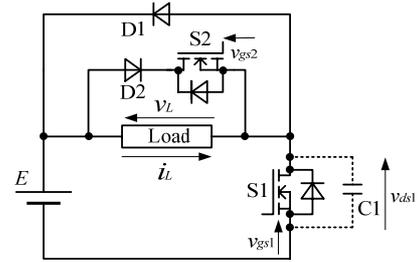


Fig. 1. Proposed buck chopper with auxiliary circuit.

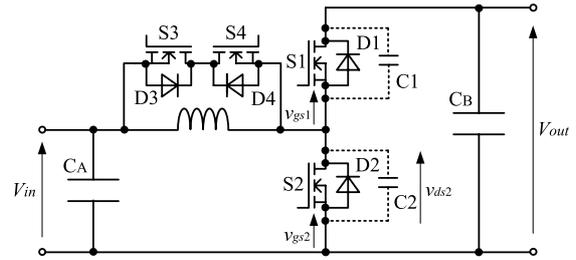


Fig. 2. Proposed bilateral chopper with auxiliary circuit.

のターンオフ時間はインダクタに流れる電流によって決定され, また, 出力容量 C1 の放電時間は主素子 S2 のターンオフ時間と等しくなる。よって, 軽負荷時においてターンオフ時間が長くなるため, 主素子 S1 を同期整流させるときに出力容量 C1 の電荷が消費されるとともに, $C_B \rightarrow S1 \rightarrow C2 \rightarrow C_B$ の経路で短絡電流が流れ, 効率が悪化する。そこで, 提案回路では主素子 S2 のターンオフを速めるために, 主素子 S2 をオフした直後に補助スイッチ S4 をオンする。補助スイッチ S4 をオンすることにより, $C_A \rightarrow D3 \rightarrow S4 \rightarrow C2 \rightarrow C_A$ の経路で電流が流れ出力容量 C2 を高速に充電できるとともに, $C_A \rightarrow D3 \rightarrow S4 \rightarrow C1 \rightarrow C_B \rightarrow C_A$ の経路で電流が流れ, 出力容量 C1 の電荷を負荷素子側へ移動させることができる。このため, 高速かつ高効率なスイッチングが可能となる。なお, 入力電圧 V_{in} と出力電圧 V_{out} の昇圧比が小さいほど, 補助スイッチ S4 をオンすることによる出力容量電荷を転送する効果は大きくなる。また, 従来回路にて主素子 S2 をオンするとき, 出力容量 C2 に蓄えられたエネルギーはすべて消費されるとともに, 還流ダイオード D1 には出力電圧 V_{out} が印加されるため, リカバリー損失が発生する。そこで, 提案回路では S2 をオンする直前に補助スイッチ S3 をオンする。補助スイッチ S3 をオンすることにより, 出力容量 C2 の電荷が $C2 \rightarrow D4 \rightarrow S3 \rightarrow C_A \rightarrow C2$ の経路で電源に回収できるとともに, 還流ダイオード D1 には出力電圧 V_{out} と入力電圧 V_{in} の電圧差分だけが印加されるため, リカバリーアシスト回路と同様の効果が得られる⁽⁶⁾。なお, 入力電圧 V_{in} と出力電圧 V_{out} の昇圧比が大きいほど, 補助スイッチ S3 をオンすることによる出力容量電荷を回収する効果はさらに大きくなる。一方, 昇圧比が小さいとき, 補助スイッチ S3 をオンすることによるリカバリーアシスト効果は大きくなる。

〈2・3〉 ハーフブリッジインバータ Fig. 3 に負荷素子と並列に双方向スイッチ S3 および S4 を付加したスイッチングアシスト補助回路付きハーフブリッジインバータを示す。C1 と C2 は主素子の出力容量を表している。チョップと同じく、補助スイッチには電流容量の小さな素子を使用することが可能であり、それらの耐圧は主素子の半分である。なお、この提案回路は T 形 (負荷短絡形) の 3 レベルインバータや ARCP (補助共振転流回路) と似ているが、動作は異なり、本回路は MOSFET の高速スイッチングを目的とするものである。

従来回路では主素子のターンオフ時間は負荷抵抗と出力容量の時定数で決定されるため、デッドタイム (上下アーム短絡防止時間) が短いとき出力容量電荷が消費されるとともに短絡電流が流れ、軽負荷時において効率は悪化する。例えば、主素子 S2 をオンする際は、出力容量 C2 の電荷が消費されるとともに $E1 \rightarrow C1 \rightarrow S2 \rightarrow E2 \rightarrow E1$ の経路で短絡電流が流れる。そこで、提案回路では主素子 S1 をオフした直後に補助スイッチ S3 をオンすることにより $E1 \rightarrow C1 \rightarrow D4 \rightarrow S3 \rightarrow E1$ の経路で電流が流れ出力容量 C1 を高速充電するとともに、 $C2 \rightarrow D4 \rightarrow S3 \rightarrow E2 \rightarrow C2$ の経路で電流が流れ、出力容量 C2 の電荷を電源に回収することが可能となる。この出力容量電荷を回収する効果により効率は向上する。主素子 S2 をオフする際も同様であり、主素子 S2 をオフした直後に補助スイッチ S4 をオンすることにより高速スイッチングかつ高効率スイッチングが可能となる。なお、この提案回路は 3 レベル動作が可能な回路のように見えるが、S3 および S4 は補助スイッチであり、これらを同時にオンするモードはなく、高周波 2 レベル波形を出力する回路である。

フルブリッジインバータにスイッチングアシスト補助回路を適用した回路構成例を Fig. 4 に示す。補助回路は ARCP のように直流バス電圧の midpoint と各相出力を結ぶように接続

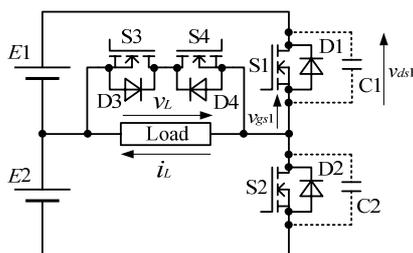


Fig. 3. Proposed half-bridge inverter with auxiliary circuit.

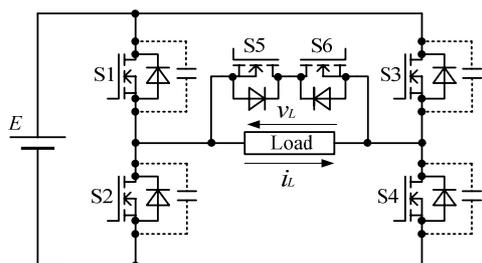


Fig. 4. Proposed full-bridge inverter with auxiliary circuit.

するのではなく、負荷素子を短絡するように補助回路を接続する。この補助回路により、主素子出力容量の電荷を高速に転送することができ、高速かつ高効率なスイッチングが可能となる。補助素子の耐圧は主素子と同等であるが、チョップの場合と同様に主素子出力容量を充電する極短い時間だけ尖頭値の高いパルス電流が流れるだけなので、電流容量は小さなものを使用することができる。

3. 実機検証

〈3・1〉 降圧チョップ 提案した回路の有効性を確認するために実機検証を行った。電源電圧 E を 100 V、主素子 S1 および補助スイッチ S2 には MITSUBISHI 製 FK30SM-5 (250 V, 30 A)、還流ダイオード D1 および補助ダイオード D2 には ST 製 STTH60L06 (600 V, 60 A) を用いた。主素子の出力容量は 580 pF である。

従来回路および提案回路で駆動周波数を 1 MHz、デューティサイクルを 50%、負荷素子パラメータを $400 \Omega - 0.4 \text{ mH}$ とした条件における動作波形を Fig. 5 および Fig. 6 に示す。主素子 S1 をオフしてから補助素子 S2 をオンするまでの遅れ時間は 35 ns とした。Fig. 5 から読み取れるように、従来回路では主素子 S1 のドレイン-ソース電圧 v_{ds1} の立ち上がりが遅いことが確認できる。これは、負荷電流による主素子出力容量の充電に時間がかかり、従来回路ではターンオフ時間が長く高速スイッチングできないことを表している。一方、Fig. 6 からわかるように、提案回路では主素子 S1 のドレイン-ソース電圧 v_{ds1} が急激に立ち上がっていることが確認できる。デューティサイクル 50% 駆動時における実際のドレイン-ソース電圧 v_{ds1} のオンデューティサイクルは従来回路と提案回路でそれぞれ 79.1%、52.8% となった。また、ターンオフ dv/dt はそれぞれ $0.3 \text{ kV}/\mu\text{s}$ 、 $8.0 \text{ kV}/\mu\text{s}$ であり、提案回路では約 26 倍の高速スイッチングを実現できることがわかる。駆動周波数 200 kHz で負荷力率 0.62 を一

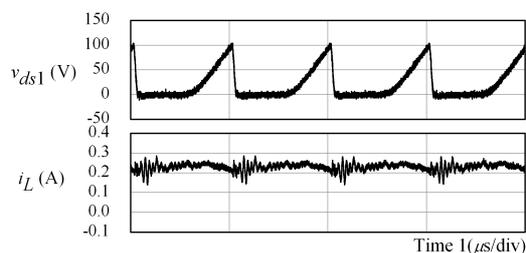


Fig. 5. Experimental waveforms of conventional buck chopper.

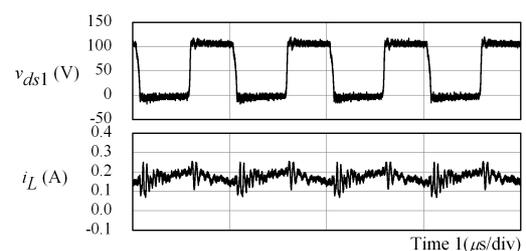


Fig. 6. Experimental waveforms of proposed buck chopper.

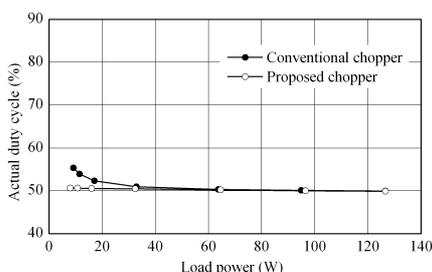


Fig. 7. Load power-actual duty cycle characteristic at 200 kHz.

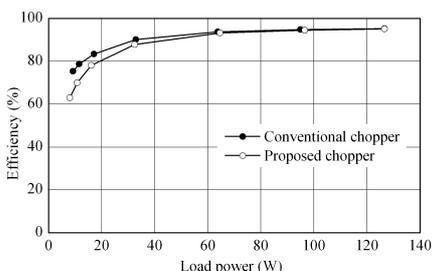


Fig. 8. Load power-efficiency characteristic at 200 kHz.

定とした条件で、負荷電力と実際のオンデューティサイクルの関係を図 7 に示し、負荷電力と効率の関係を図 8 に示す。図 7 より、軽負荷領域においても従来回路に比べ提案回路の方がデューティサイクル 50% に近い運転を維持できることが確認できる。これは、軽負荷時には負荷電流が小さいので、従来回路では出力容量 C1 を充電する時間が負荷抵抗と出力容量の時定数で決定され、ターンオフに長時間を要するためである。一方、重負荷時には従来回路と提案回路はどちらもほぼデューティサイクル 50% に近い運転を行うことができる。これは、重負荷の場合、負荷電流が大きく、従来回路においても出力容量 C1 を高速に充電できるためである。一方、図 8 に示したように 63 W 出力以下の場合、従来回路に比べ提案回路は低効率であり、17 W 出力時において効率は 5% 悪化した。これは、提案回路では補助回路によるスイッチング損および導通損が発生し、これらの損失が付加されたためである。また、負荷抵抗を 400 Ω 一定とした条件で駆動周波数を変化させたときの実際のオンデューティサイクルを図 9 に示す。従来回路では、1 MHz のような高周波駆動時において 1 周期におけるスイッチング時間の割合が大きくなるため、MOSFET をスイッチング素子として使えていない。しかし、提案回路では 1 MHz 駆動時においてもほぼデューティサイクル 50% で MOSFET をスイッチングすることが可能である。

以上より、スイッチングアシスト補助回路を降圧チョッパに適用した場合、効率は下がるものの軽負荷時においても高周波駆動が可能であることを確認した。

〈3・2〉 双方向チョッパ 提案した回路の有効性を確認するために実機検証を行った。入力電圧 V_{in} を 100 V、主素子 S1 および S2 には ST 製 STY60NM60 (600 V, 60 A)、補助スイッチ S3 および S4 には MITSUBISHI 製 FK30SM-5

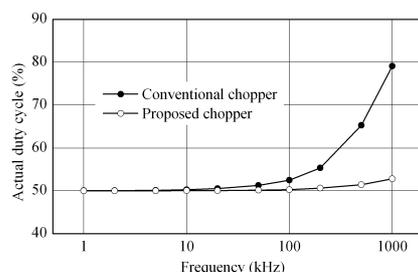


Fig. 9. Frequency-actual duty cycle characteristic at constant load.

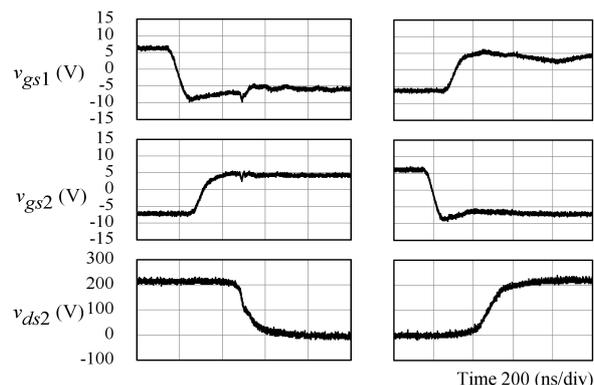


Fig. 10. Experimental waveforms of conventional bilateral chopper.

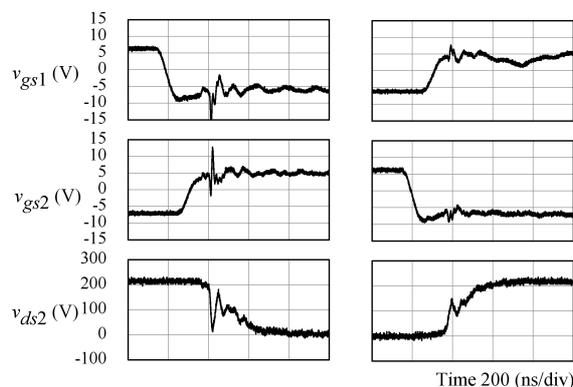


Fig. 11. Experimental waveforms of proposed bilateral chopper.

(250 V, 30 A) を用いた。主素子の入力容量は 7800 pF、出力容量は 2000 pF であり、同程度容量の FET と比較すると各種寄生容量が大きく、高速スイッチングが難しい素子と言える。インダクタには 0.6 mH を用いた。

従来回路および提案回路で駆動周波数 200 kHz にて S2 を 50% 駆動することにより倍電圧昇圧動作させたときの 44 W 出力時における動作波形を図 10 および図 11 に示す。主素子 S2 をオフしてから同期整流するために主素子 S1 をオンするまでの時間は 100 ns である。また、主素子 S1 をオフしてから補助素子 S3 をオンする遅れ時間、主素子 S2 をオフしてから補助素子 S4 をオンする遅れ時間も 100 ns である。しかし、実際には主素子の入力容量が 7800 pF と大きく、ゲートソース電圧の立ち上がりに遅れが発生しているため、主素子 S1 と S2 がどちらもオフしている期間は

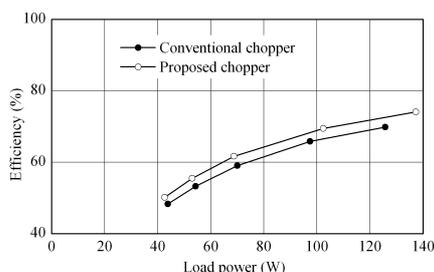


Fig. 12. Load power-efficiency characteristic.

250 ns である。従来回路では主素子 S2 をオンすることにより出力容量 C2 の電荷が消費される。また、主素子 S1 をオンする際は、同様に出力容量 C1 の電荷が消費され、短絡電流が流れることによって主素子 S2 がターンオフしている。一方、提案回路では主素子 S2 がオンする直前に出力容量 C2 の電荷が放電されており、出力容量 C2 に蓄えられたエネルギーを電源に回収することができる。また、還流ダイオード D1 には出力電圧と入力電圧の差に相当する電圧 100 V しか印加されないためリカバリーアシスト効果も期待できる。主素子 S1 をオンする際は、すでに出力容量 C1 の電荷が放電されていることが確認でき、これは、出力容量 C1 の電荷を負荷素子側へ転送できていることを意味している。従来回路と提案回路で主素子 S2 のターンオフ時間はそれぞれ 278 ns と 192 ns となり、ターンオフ時間を 31% 改善できた。 v_{gs1} , v_{gs2} , v_{ds2} の波形を見ると、MOSFET や回路パターンでの配線インダクタンスと各種寄生容量に起因する共振が確認される。この共振により誤動作することもあり得るので、可能な限り配線インダクタンスを低減するような実装を行わなければならない。

Fig. 12 に負荷電力と効率の関係を示す。Fig. 12 から読み取れるように、従来回路より提案回路のほうが高効率であり、70 W 出力時において効率は 59.0% から 61.7% と 2.7 ポイント改善した。効率改善の要因は出力容量電荷を回収する効果と出力容量電荷を転送する効果、そしてリカバリーアシスト効果が考えられ、詳細な損失分離は今後の課題である。

以上より、スイッチングアシスト補助回路を双方向チョッパに適用した場合、高速スイッチングかつ高効率スイッチングが可能であることを確認した。なお、今回は昇圧動作時のみ示したが、降圧動作時と同様の効果を期待することができる。

〈3・3〉 ハーフブリッジインバータ 提案した回路の有効性を確認するために実機検証を行った。電源電圧 $E1$ および $E2$ を 100 V、主素子および補助素子は双方向チョッパと同じ素子を用いた。

従来回路および提案回路で駆動周波数を 100 kHz、デューティサイクルを 50%、デッドタイムを 150 ns、負荷素子パラメータを $400\ \Omega$ -0.4 mH とした条件での動作波形を Fig. 13 および Fig. 14 に示す。主素子 S1 をオフしてから補助素子 S3 をオンする遅れ時間、主素子 S2 をオフしてから補助素

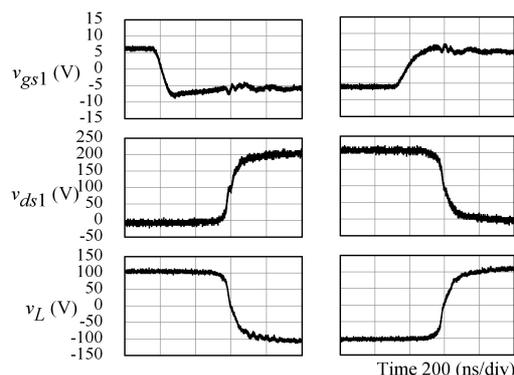


Fig. 13. Experimental waveforms of conventional inverter.

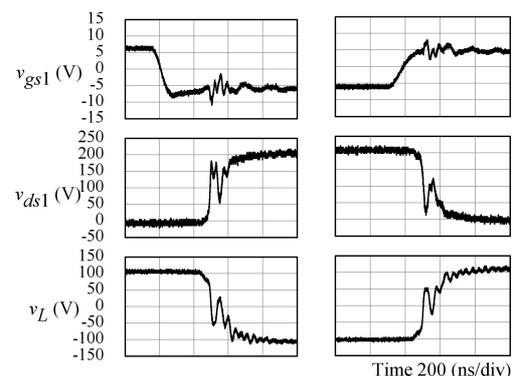


Fig. 14. Experimental waveforms of proposed inverter.

子 S4 をオンする遅れ時間も 150 ns である。Fig. 13 および Fig. 14 から読み取れるように、主素子 S1 のターンオフ時、従来回路と提案回路ではゲート-ソース電圧 v_{gs1} の立下りからドレイン-ソース電圧 v_{ds1} の立ち上がりまでの時間は提案回路の方が短いことが確認できる。これは、主素子 S1 をオフしてから主素子 S2 をオンするまでのデッドタイム期間に補助スイッチ S3 をオンすることにより $E1 \rightarrow C1 \rightarrow D4 \rightarrow S3 \rightarrow E1$ の経路で電流が流れ出力容量 C1 を高速に充電すると同時に、 $C2 \rightarrow D4 \rightarrow S3 \rightarrow E2 \rightarrow C2$ の経路で電流が流れ出力容量 C2 に蓄えられていたエネルギーを電源に回収できていることを表している。したがって、従来回路に比べ提案回路の方が主素子 S2 をオンした際に出力容量電荷の消費を少なくすることができ、ターンオン損失を低減することが可能となる。従来回路と提案回路で主素子 S1 のターンオフ時間はそれぞれ 380 ns と 288 ns になり、ターンオフ時間を 25% 改善できた。双方向チョッパと同様に波形に振動が見られるが同じ理由により発生したものと考えられる。ハーフブリッジインバータの場合でも、この振動を抑制するためにスイッチング素子周辺の配線インダクタンスを低減することが重要である。効率は従来回路が 53.9% であるのに対し、提案回路は 60.0% に改善された。また、負荷力率 0.85 を一定とした条件での負荷電力と効率の関係を Fig. 15 に示す。同図からわかるように、負荷電力 28 W 以下の軽負荷領域において従来回路に比べ提案回路の方が高効率であり、最低出力時 (14 W) においては 6.1 ポイント高効率であるこ

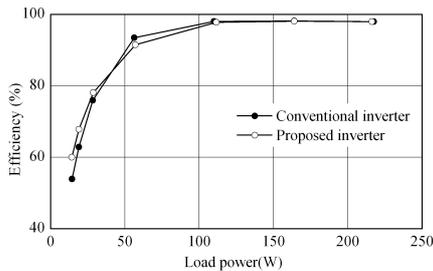


Fig. 15. Load power-efficiency characteristic.

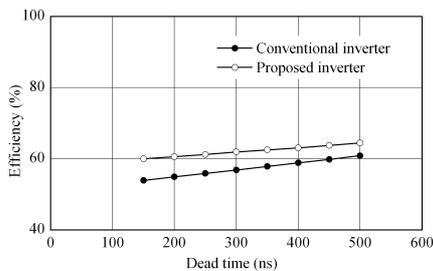


Fig. 16. Dead time-efficiency characteristic at 14-W output.

とが確認できる。これは、従来回路では軽負荷時において主素子出力容量の充放電時間が長くなり、デッドタイム期間中に主素子出力容量の充放電を行うことができず、デッドタイム期間終了後に主素子をオンする際にターンオン損失が発生するのに対し、提案回路では主素子出力容量の充放電を高速に行うことができ、デッドタイム期間終了後に主素子をオンする際のターンオン損失を低減できるためである。また、14 W 出力時におけるデッドタイムと効率の関係を図. 16 に示す。同図より、デッドタイムが長くなると従来回路でもデッドタイム期間中に主素子の出力容量の充放電が行えるため、ターンオン損失が減少し効率は改善する⁷⁾。しかし、一般的に電力変換器ではデッドタイムは1周期の5%以下にすることが望ましく、100 kHz 駆動時では500 ns 以下のデッドタイムが求められる⁸⁾。100 kHz のような高周波で軽負荷運転の場合、デッドタイム期間中に主素子出力容量の充放電が行えないため、高速スイッチングかつ高効率スイッチングを実現するためには、本論文で提案したスイッチングアシスト補助回路を用いた手法が有効である。例えば、効率60%を達成することができるデッドタイムは、従来回路が450 ns であるのに対し、提案回路では150 ns で効率60%を達成することができ、デッドタイムを300 ns 短縮することが可能となる。また、ハーフブリッジインバータのような電力変換器における損失は、導通損とスイッチング損の合計であり、従来回路と提案回路では負荷電流が等しいため、主素子の導通損はほぼ同じであると考えられる。よって、従来回路と比べ提案回路の方が効率改善できるのは、スイッチング損が減少したためであり、この提案する手法はMHz 級の高周波電力変換器において、さらに有効であると考えられる。

以上より、スイッチングアシスト補助回路をハーフブリッジインバータに適用した場合、軽負荷時において高速かつ

高効率なスイッチングが可能であることを確認した。なお、Fig. 15 より重負荷時において提案回路は従来回路より効率が悪化しているが、これは補助素子をスイッチングさせているためであり、重負荷時では補助素子を常にオフしておくことにより従来回路と同等の効率が得られる。スイッチングアシスト回路付きフルブリッジインバータの運転特性については今後の検討とする。

4. まとめ

本稿ではスイッチングアシスト補助回路を用いた MOSFET の高速スイッチング法を降圧チョッパ、双方向チョッパ、ハーフブリッジインバータに適用し、実験を通じて各種運転特性を検証した。

降圧チョッパでは効率は悪化するものの、軽負荷時においても1 MHz 駆動を実現し、50% デューティーサイクル駆動時に実際のオンデューティーサイクルを79.1%から52.8%に26.3ポイント改善できることを確認した。さらにターンオフ dv/dt を $0.3 \text{ kV}/\mu\text{s}$ から $8.0 \text{ kV}/\mu\text{s}$ と約26倍高速化できることも確認した。双方向チョッパでは軽負荷時においてターンオフ時間を278 ns から192 ns と31%短縮した。そして、出力容量電荷を回収する効果と出力容量電荷を転送する効果、リカバリーアシスト効果により70 W 出力時において効率は59.0%から61.7%と2.7ポイント向上した。また、ハーフブリッジインバータでは14 W 出力の軽負荷時にターンオフ時間を380 ns から288 ns と25%短縮し、効率も53.9%から60.0%と最大6.1ポイント改善できることを確認した。同じ効率を達成するのに必要なデッドタイムを450 ns から150 ns へ短縮可能であることも確認した。

本稿で提案したスイッチングアシスト補助回路を用いる手法は MOSFET の出力容量が大きい場合にさらに有効である。例えば、大きな電流容量を得るために MOSFET を並列駆動するときや、各種寄生容量が大きな低オン抵抗の MOSFET を駆動する際に効果的である。なお、この手法はフルブリッジインバータや三相インバータへも適用が可能であり、今後検討を進める所存である。

文 献

- (1) T. Noguchi, S. Yajima, and H. Komatsu: "Development of Gate Drive Circuit for Next-Generation Ultra High-Speed Switching Devices", *IEEJ Trans. IA*, Vol.129, No.1, pp.46-52 (2009) (in Japanese)
野口季彦・矢鳥哲志・小松宏禎:「次世代超高速スイッチング素子ゲート駆動回路の開発」, 電学論 D, Vol.129, No.1, pp.46-52 (2009)
- (2) M. Ishigaki and H. Fujita: "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation", *IEEJ Trans. IA*, Vol.127, No.10, pp.1090-1096 (2007) (in Japanese)
石垣将紀・藤田英明:「低損失・高周波動作可能な MOSFET 用共振形ゲートドライブ回路」, 電学論 D, Vol.127, No.10, pp.1090-1096 (2007)
- (3) R.W. De Doncker and J.P. Lyons: "The Auxiliary Resonant Commutated Pole Converter", *Conf. Rec. of the IEEE-IAS Annual Meeting*, Vol.2, pp.1228-1235 (1990)
- (4) T. Noguchi and T. Mizuno: "High-Speed Switching Method of MOSFET Using Auxiliary Circuit Shorting Load: Application and Operation Characteristics of Chopper", *IEEJ Trans. IA*, Vol.132, No.5, pp.598-559 (2012) (in Japanese)

野口季彦・水野知博：「負荷短絡補助回路を用いた MOSFET の高速スイッチング法—チョッパへの適用と運転特性—」, 電学論 D, Vol.132, No.5, pp.598-599 (2012)

- (5) T. Noguchi and T. Mizuno: "High-Speed Switching Method of MOSFET Using Auxiliary Circuit Shorting Load: Application and Operation Characteristics of High-Frequency Half-Bridge Inverter", *IEEE Trans. IA*, Vol.132, No.11, pp.1080-1081 (2012) (in Japanese)

野口季彦・水野知博：「負荷短絡補助回路を用いた MOSFET の高速スイッチング法—高周波ハーブブリッジインバータへの適用と運転特性—」, 電学論 D, Vol.132, No.11, pp.1080-1081 (2012)

- (6) 餅川 宏・小山建夫：「小型・低損失インバータを実現する新回路技術」, 東芝レビュー 2006, Vol.61, No.11, pp.32-35 (2006)

- (7) N. Hoshi and A. Matsui: "Improvement of Power Conversion Efficiency of Soft-Switching Inverter in Range of Low Output Power by Adjustable Dead Time Control", *IEEE Trans. IA*, Vol.131, No.5, pp.679-684 (2011) (in Japanese)

星 伸一・松井綾花：「可変デッドタイム制御によるソフトスイッチングインバータの低出力域での高効率化」, 電学論 D, Vol.131, No.5, pp.679-684 (2011)

- (8) K. Shirakawa, K. Wada, and T. Shimizu: "An Issue on 200 kHz Class High Frequency Switching of a PWM Inverter", *IEEE Proc. IAS Annual Conference*, Vol.1, pp.277-280 (2006) (in Japanese)

白川和博・和田圭二・清水敏久：「PWM インバータの 200 kHz 級高周波スイッチングの課題」, 平成 18 年電気学会産業応用部門大会, Vol.1, pp.277-280 (2006)

水野知博 (学生員) 1989 年 1 月 27 日生。2011 年 3 月静岡大学電気電子工学科卒業。2013 年 3 月同大学大学院工学研究科電気電子工学専攻修了。修士 (工学)。2013 年 4 月アイシン AW (株) 入社, 現在に至る。



村田宗洋 (学生員) 1990 年 8 月 9 日生。2013 年 3 月静岡大学工学部電気電子工学科卒業。2013 年 4 月同大学大学院工学研究科電気電子工学専攻入学, 現在に至る。



野口季彦 (正員) 1959 年 10 月 23 日生。1982 年 3 月名古屋工業大学工学部電気工学科卒業。1986 年 3 月



長岡技術大学大学院工学研究科修士課程電気・電子システム工学専攻修了。1982 年 4 月東京芝浦電気 (株) (現, (株) 東芝) 入社。1991 年岐阜工業高等学校講師。1994 年 4 月長岡技術科学大学助手。1996 年同助教授。2009 年 4 月静岡大学教授, 現在に至る。専門は各種電力変換器, マシン

を含むモータドライブ。近年はマルチレベル変換器, AC/AC 直接変換器, 超高速モータに注力。博士 (工学)。IEEE Senior Member。