

スイッチングアシスト補助回路を用いた MOSFET の高速スイッチング法

水野 知博* 野口 季彦 (静岡大学)

High-Speed Switching Method of MOSFETs Using Switching Assist Auxiliary Circuit

Tomohiro Mizuno*, Toshihiko Noguchi, (Shizuoka University)

This paper describes a high-speed switching method of MOSFETs applied to a chopper and an inverter. By employing a set of auxiliary switch and diode in parallel with a load, the turn-off time of the MOSFETs can be reduced, which makes a high frequency drive and reduction of switching loss possible. It was confirmed through experimental tests that the turn-off dv/dt of the main MOSFETs was effectively improved by 26 times with the proposed method, especially in a low-load range.

キーワード: MOSFET, 高速スイッチング, ターンオフ, 補助回路, チョップ, インバータ
(MOSFET, high-speed switching, turn-off, auxiliary circuit, chopper, inverter)

1. はじめに

今後、SiC (Silicon Carbide) -MOSFET のような新しい電力用半導体スイッチング素子が実用化され、パワーエレクトロニクス分野へ広く普及すると予想されている。従来の Si (Silicon) を基材とする電力用半導体スイッチング素子と比べて SiC-MOSFET は高耐圧、高温動作、高速スイッチング、低損失など数々の特長をもち、電力変換器のパワー密度を飛躍的に向上させると期待されている。しかし、一般に MOSFET では低オン抵抗や大電流化に伴って各種寄生容量が増加する傾向にあり、SiC 素子ではその固有物性も相俟って、さらに寄生容量が増大すると考えられる。これにより、入力容量や出力容量の高速充放電が妨げられ、本来有している高速スイッチング特性を十分に発揮することが困難になる。

高速スイッチングを実現するためには、ターンオン時間およびターンオフ時間を短縮することが求められる。ターンオン時間は入力容量を高速に充電することにより短縮することができる。従来行われている手法としては、ゲート抵抗を小さくすることやゲート抵抗と並列にスピードアップコンデンサを用いることなどが挙げられる。近年では新しいゲート駆動回路の研究も行われており、筆者らはインダクティブパルス重量方式を用いた次世代超高速スイッチングゲート駆動回路を提案している⁽¹⁾。一方、ターンオフ時間は出力容量を充電する時間によって決定されるため、ゲート駆動回路側での制御は困難であり、ターンオフ時間を短縮させる手法は確立されていないのが現状である。つ

まり、MOSFET の高速スイッチングを実現するためには、入力容量の高速充電だけでなく出力容量の高速充電も必要となる。また、高周波電力変換器では全体の損失におけるスイッチング損の割合が大きくなり、MOSFET の各種寄生容量に蓄えられている電荷を回収する技術が必要である。入力容量に蓄えられている電荷はゲート抵抗を用いない共振形ゲート駆動を用いることで回収できる⁽²⁾。一方、出力容量やスナバ回路に蓄えられている電荷はソフトスイッチング技術や回生スナバ回路を用いることにより回収できる⁽³⁾。しかし、それらの技術は dv/dt や di/dt を低くすることでスイッチング損を低減する手法であり、スイッチング時間としては増加するため、MHz 級の高周波電力変換器を実現することは難しい。

そこで、本稿ではスイッチングアシスト補助回路を用いることによりターンオフ時間を短縮する新たな手法を提案する^{(4), (5)}。この手法は、ソフトスイッチングを目的とするものではなく、ハードスイッチングの dv/dt を高めて高速かつ高効率なスイッチングを可能にするものである。この回路を降圧チョップと双方向チョップ、そしてハーフブリッジインバータに適用し、実験を通じて運転特性を検証した。提案する手法で高速スイッチングを行うことにより、降圧チョップでは 1 MHz の駆動を実現し、双方向チョップでは軽負荷領域において 2.7 ポイントの効率改善を確認した。また、ハーフブリッジインバータでも軽負荷領域において 6.1 ポイントの効率改善を実験的に確認したので報告する。

2. 回路構成と動作原理

〈2・1〉 降圧チョップパ 図 1 に負荷と並列に補助ダイオード D2 と補助スイッチ S2 を従来回路に付加したスイッチングアシスト補助回路付き降圧チョップパを示す。C1 は主素子の出力容量を表しており、スナバ回路を示しているものではない。スナバ回路はターンオフを遅くする要因であるため、本研究ではスナバ回路を使用しない。補助回路には連続的に電流が流れないため、補助スイッチには電流容量の小さなものを使用することができる。また、補助スイッチ S2 はオンするタイミングが重要となるため、入力容量の小さなものを用いることが望ましい。

従来回路では、主素子 S1 をオフしてから出力容量が充電される時間、すなわちターンオフ時間は負荷と出力容量の時定数によって決定される。つまり、重負荷のときターンオフ時間は短く、軽負荷のときターンオフ時間は増加する。よって、軽負荷時は高速スイッチングすることが困難となる。そこで、提案回路では主素子 S1 をオフした直後に補助スイッチ S2 をオンする。補助スイッチ S2 をオンすることにより、 $E \rightarrow D2 \rightarrow S2 \rightarrow C1 \rightarrow E$ の経路で主素子出力容量の高速充電が可能となり、高速スイッチングが実現できる。なお、提案回路は補助回路でスイッチング損と導通損が発生するため、従来回路より効率は悪化する。

〈2・2〉 双方向チョップパ 図 2 にインダクタと並列に双方向スイッチ S3 および S4 を従来回路に付加したスイッチングアシスト補助回路付き双方向チョップパを示す。C1 と C2 は主素子の出力容量を表している。降圧チョップパと同じく補助素子には電流容量の小さい素子を使用することができる。また、耐圧は低いものが使用でき、倍電圧昇圧動作時には補助素子の耐圧は主素子の半分でよい。

昇圧動作時、従来回路では主素子 S2 をスイッチングさせるとともに、主素子 S1 を同期整流させることにより高効率な昇圧動作が可能となる。しかし、従来回路では主素子 S2 のターンオフ時間はインダクタに流れる電流によって決定され、また、出力容量 C1 の放電時間は主素子 S2 のターンオフ時間と等しくなる。よって、軽負荷時においてターンオフ時間が長くなるため、主素子 S1 を同期整流させるときに出力容量 C1 の電荷が消費されるとともに、 $C_B \rightarrow S1 \rightarrow C2 \rightarrow C_B$ の経路で短絡電流が流れ、効率が悪化する。そこで、提案回路では主素子 S2 のターンオフを速めるために、主素子 S2 をオフした直後に補助スイッチ S4 をオンする。補助スイッチ S4 をオンすることにより、 $C_A \rightarrow D3 \rightarrow S4 \rightarrow C2 \rightarrow C_A$ の経路で電流が流れ出力容量 C2 を高速に充電できるとともに、 $C_A \rightarrow D3 \rightarrow S4 \rightarrow C1 \rightarrow C_B \rightarrow C_A$ の経路で電流が流れ、出力容量 C1 の電荷を負荷側へ移動させることができるため、高速かつ高効率なスイッチングが可能となる。なお、入力電圧 V_{in} と出力電圧 V_{out} の昇圧比が小さいとき、補助スイッチ S4 をオンすることによる出力容量電荷を転送する効果は大きくなる。また、従来回路にて主素子 S2 をオンするとき、出力容量 C2 に蓄えられたエネルギー

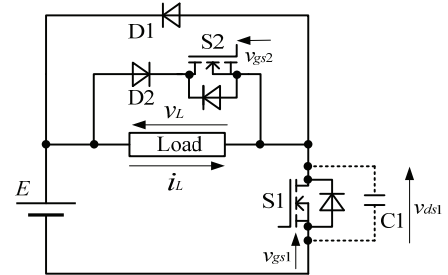


図 1 補助回路付き降圧チョップパ
Fig. 1. Proposed buck chopper with auxiliary circuit.

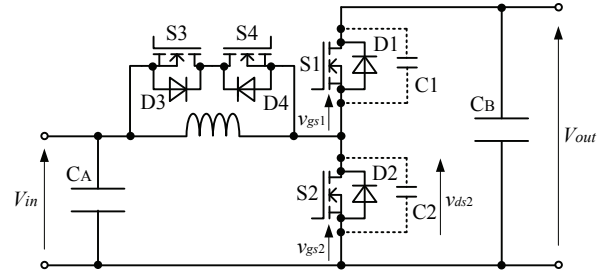


図 2 補助回路付き双方向チョップパ
Fig. 2. Proposed bilateral chopper with auxiliary circuit.

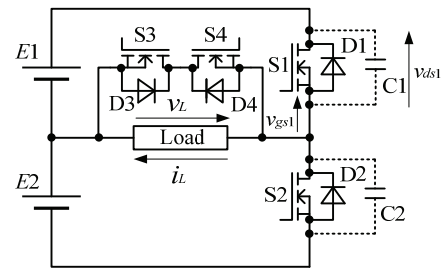


図 3 補助回路付きハーフブリッジインバータ
Fig. 3. Proposed half-bridge inverter with auxiliary circuit.

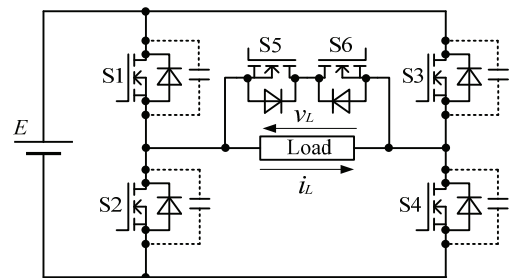


図 4 補助回路付きフルブリッジインバータ
Fig. 4. Proposed full-bridge inverter with auxiliary circuit.

一はすべて消費されるとともに、還流ダイオード D1 には出力電圧 V_{out} が印加されるため、リカバリー損失が発生する。そこで、提案回路では S2 をオンする直前に補助スイッチ S3 をオンする。補助スイッチ S3 をオンすることにより、出力容量 C2 の電荷が $C2 \rightarrow D4 \rightarrow S3 \rightarrow C_A \rightarrow C2$ の経路で電源に回収できるとともに、還流ダイオード D1 には出力電圧 V_{out} と入力電圧 V_{in} の電圧差分だけが印加されるため、リカバリーアシスト回路と同様の効果が得られる⁽⁶⁾。なお、入力電圧 V_{in} と出力電圧 V_{out} の昇圧比が大きいとき、補助スイッチ S3 をオンすることによる出力容量電荷を回収する効果はさらに

大きくなる。一方、昇圧比が小さいとき、補助スイッチ S3 をオンすることによるリカバリーアシスト効果は大きくなる。

〈2・3〉 ハーフブリッジインバータ 図 3 に負荷と並列に双方向スイッチ S3 および S4 を従来回路に付加したスイッチングアシスト補助回路付きハーフブリッジインバータを示す。C1 と C2 は主素子の出力容量を表している。チョップと同じく、補助スイッチには電流量の小さい素子を使用することが可能であり、耐圧は主素子の半分のものでよい。なお、この提案回路は T 形（負荷短絡形）の 3 レベルインバータや ARCP（補助共振転流回路）と似ているが、動作は異なり、本回路は高速スイッチングを目的とするものである。

従来回路では主素子のターンオフ時間は負荷と出力容量の時定数で決定されるため、デッドタイムが短いとき出力容量電荷が消費されるとともに短絡電流が流れ、軽負荷時において効率は悪化する。例えば、主素子 S2 をオンする際は、出力容量 C2 の電荷が消費されるとともに $E1 \rightarrow C1 \rightarrow S2 \rightarrow E2 \rightarrow E1$ の経路で短絡電流が流れる。そこで、提案回路では主素子 S1 をオフした直後に補助スイッチ S3 をオンすることにより $E1 \rightarrow C1 \rightarrow D4 \rightarrow S3 \rightarrow E1$ の経路で電流が流れ出力容量 C1 を高速充電できるとともに、 $C2 \rightarrow D4 \rightarrow S3 \rightarrow E2 \rightarrow C2$ の経路で電流が流れ、出力容量 C2 の電荷を電源に回収することが可能となる。この出力容量電荷を回収する効果により効率は向上する。主素子 S2 をオフする際も同様であり、主素子 S2 をオフした直後に補助スイッチ S4 をオンすることにより高速スイッチングかつ高効率スイッチングが可能となる。なお、この提案回路は 3 レベル動作が可能な回路であるが、補助スイッチ S3 および S4 を同時にオンするモードはなく、高周波 2 レベル出力を実現する回路である。

フルブリッジインバータにスイッチングアシスト補助回路を適用した回路構成例を図 4 に示す。補助回路は各相ごとに ARCP のような直流バス電圧の midpoint に接続するのではなく、負荷を短絡するように補助回路を接続する。この補助回路により、主素子出力容量の電荷を高速に移動することができ、高速かつ高効率なスイッチングが可能となる。補助素子の耐圧は主素子と同等であり、電流量は小さいものを使用することができる。

3. 実機検証

〈3・1〉 降圧チョップ 提案した回路の有効性を確認するために実機検証を行った。電源電圧 E を 100 V、主素子 S1 および補助スイッチ S2 には MITSUBISHI 製 FK30SM-5 (250 V, 30 A)、還流ダイオード D1 および補助ダイオード D2 には ST 製 STTH60L06 (600 V, 60 A) を用いた。主素子の出力容量は 580 pF である。

従来回路および提案回路で駆動周波数を 1 MHz、デューティサイクルを 50 %、負荷を $400 \Omega - 0.4 \text{ mH}$ とした条件における動作波形を図 5 および図 6 に示す。図 5 から読み取れるように、従来回路では主素子 S1 のドレインソース

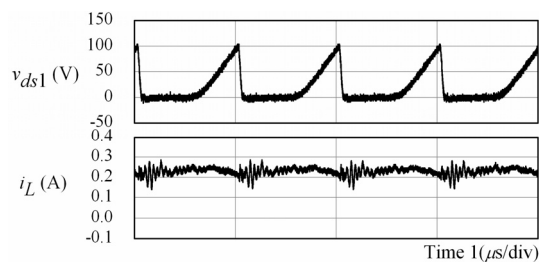


図 5 従来降圧チョップパ運転波形

Fig. 5. Experimental waveforms conventional buck chopper.

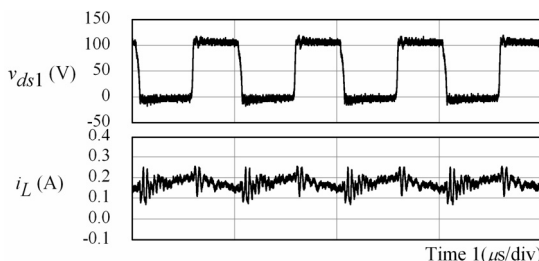


図 6 提案降圧チョップパ運転波形

Fig. 6. Experimental waveforms of proposed buck chopper.

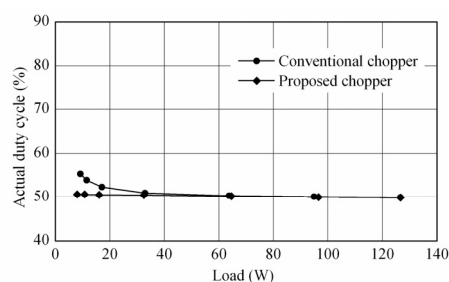


図 7 負荷－実際のオンデューティ特性

Fig. 7. Load-actual duty cycle characteristic.

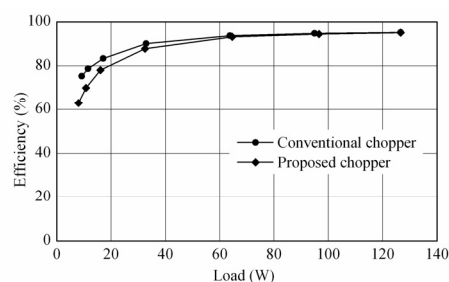


図 8 負荷－効率特性

Fig. 8. Load-efficiency characteristic.

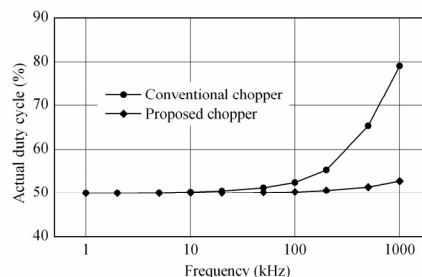


図 9 周波数－実際のオンデューティ特性

Fig. 9. Frequency-actual duty cycle characteristic.

電圧 v_{ds1} の立ち上がりが遅いことが確認できる。これは、負荷電流による主素子出力容量の充電に時間がかかり、従来回路ではターンオフ時間が長く高速スイッチングできないことを表している。一方、図 6 からわかるように、提案回路では主素子 S1 のドレインソース電圧 v_{ds1} が急激に立ち上がっていることが確認できる。デューティサイクル 50 % 駆動時における実際のドレインソース電圧 v_{ds1} のオンデューティサイクルは従来回路と提案回路でそれぞれ 79.1 %, 52.8 % となった。また、ターンオフ dv/dt はそれぞれ $0.3 \text{ kV}/\mu\text{s}$, $8.0 \text{ kV}/\mu\text{s}$ であり、提案回路では約 26 倍の高速スイッチングを実現できることがわかる。駆動周波数 200 kHz で負荷率 0.62 を一定とした条件での負荷と実際のオンデューティサイクルの関係を図 7 に示し、負荷と効率の関係を図 8 に示す。図 7 より、軽負荷領域においても従来回路に比べ提案回路の方がデューティサイクル 50 % に近い運転を行えることが確認できる。これは、軽負荷時には負荷電流が小さく、従来回路では出力容量 C1 を充電する時間が負荷と出力容量の時定数で決定され、ターンオフ時間が増加するためである。一方、重負荷時には従来回路と提案回路はどちらもほぼデューティサイクル 50 % に近い運転を行うことができる。これは、重負荷の場合、負荷電流が大きく、従来回路においても出力容量 C1 を高速に充電できるためである。一方、図 8 に示したように 63 W 出力以下の場合、従来回路に比べ提案回路は低効率であり、17 W 出力時において効率は 5 % 下がった。これは、提案回路では補助回路によるスイッチング損および導通損が発生し、これらの損失が付加されたためである。また、負荷を 400Ω 一定とした条件で駆動周波数を変化させたときの実際のオンデューティサイクルを図 9 に示す。従来回路では、1 MHz のような高周波駆動時において 1 周期におけるスイッチング時間の割合が大きくなるため、MOSFET をスイッチング素子として使えていない。しかし、提案回路では 1 MHz 駆動時においてもほぼデューティサイクル 50 % で MOSFET をスイッチングすることが可能である。

以上より、スイッチングアシスト補助回路を降圧チョッパに適用した場合、効率は下がるものの軽負荷時においても高周波駆動が可能であることを確認した。

〈3・2〉 双方向チョッパ 提案した回路の有効性を確認するために実機検証を行った。入力電圧 V_{in} を 100 V、主素子 S1 および S2 には ST 製 STY60NM60 (600 V, 60 A)、補助スイッチ S3 および S4 には MITSUBISHI 製 FK30SM-5 (250 V, 30 A) を用いた。主素子の入力容量は 7800 pF、出力容量は 2000 pF であり、同程度容量の FET と比較すると各種寄生容量が大きく、高速スイッチングが難しい素子と言える。インダクタには 0.6 mH を用いた。

従来回路および提案回路で駆動周波数 200 kHz にて S2 を 50 % 駆動することにより倍電圧昇圧動作させたときの 44 W 出力時における動作波形を図 10 および図 11 に示す。主素子 S2 をオフしてから同期整流するために主素子 S1 をオンするまでの時間は 100 ns である。しかし、主素子の入力容

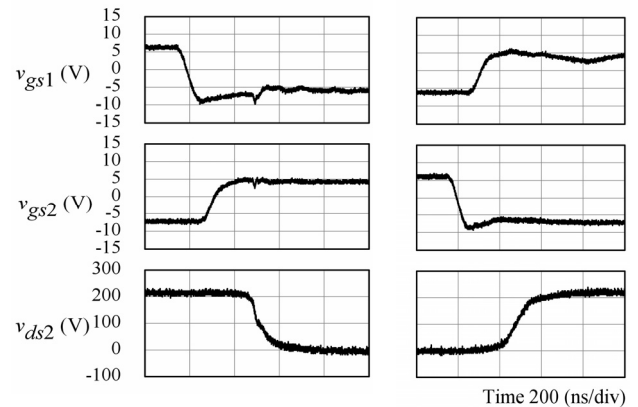


図 10 従来双方向チョッパ運転波形

Fig. 10. Experimental waveforms of conventional bilateral chopper.

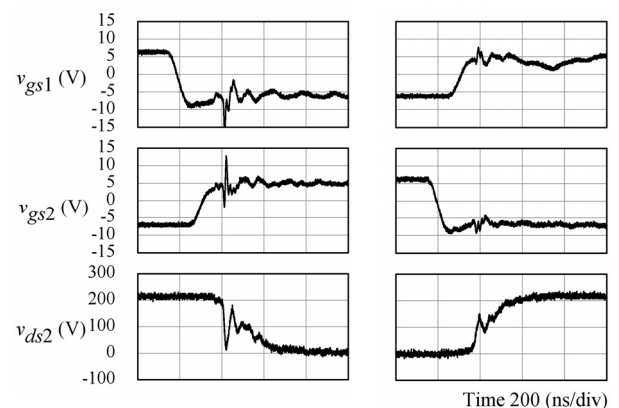


図 11 提案双方向チョッパ運転波形

Fig. 11. Experimental waveforms of proposed bilateral chopper.

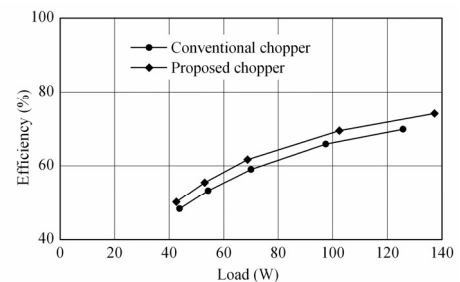


図 12 負荷－効率特性

Fig. 12. Load-efficiency characteristic.

量が 7800 pF と大きく、ゲートソース電圧の立ち上がりに遅れが発生しているため、主素子 S1 と S2 がどちらもオフしている期間は 250 ns である。図 10 より、従来回路では主素子 S2 をオンすることにより出力容量 C2 の電荷が消費されていることが確認できる。また、主素子 S1 をオンする際は、主素子 S1 をオンすることにより出力容量 C1 の電荷が消費され、短絡電流が流れることにより主素子 S2 がターンオフしていることがわかる。一方、図 11 より、提案回路では主素子 S2 がオンする直前に出力容量 C2 の電荷が放電されていることが確認でき、これは、出力容量 C2 の電荷を電源に回収できていることを表している。また、還流ダイオ

ード D1 には出力電圧と入力電圧の差に相当する電圧 100 V しか印加されないためリカバリーアシスト効果も期待できる。主素子 S1 をオンする際は、すでに出力容量 C1 の電荷が放電されていることが確認でき、これは、出力容量 C1 の電荷を負荷側へ転送できていることを意味している。従来回路と提案回路で主素子 S2 のターンオフ時間はそれぞれ 278 ns と 192 ns となり、ターンオフ時間を 31 %改善できた。

図 12 に負荷と効率の関係を示す。図 12 から読み取れるように、従来回路より提案回路のほうが高効率であり、70 W 出力時において効率は 59.0 %から 61.7 %と 2.7 ポイント改善した。効率改善の要因は出力容量電荷を回収する効果と出力容量電荷を転送する効果、そしてリカバリーアシスト効果が考えられ、詳しい損失分離は今後の課題である。

以上より、スイッチングアシスト補助回路を双方向チョップに適用した場合、高速スイッチングかつ高効率スイッチングが可能であることを確認した。なお、今回は昇圧動作時のみ示したが、降圧動作時も同様の効果を期待することができる。

〈3・3〉 ハーフブリッジインバータ 提案した回路の有効性を確認するために実機検証を行った。電源電圧 $E1$ および $E2$ を 100 V、主素子および補助素子は双方向チョップと同じ素子を用いた。

従来回路および提案回路で駆動周波数を 100 kHz、デューティサイクルを 50 %、デッドタイムを 150 ns、負荷を 400 Ω - 0.4 mH とした条件での動作波形を図 13 および図 14 に示す。図 13 および図 14 から読み取れるように、主素子 S1 のターンオフ時、従来回路と提案回路ではゲートソース電圧 v_{gs1} の立下りからドレインソース電圧 v_{ds1} の立ち上がりまでの時間は提案回路の方が短いことが確認できる。これは、主素子 S1 をオフしてから主素子 S2 をオンするまでのデッドタイム期間に補助スイッチ S3 をオンすることにより $E1 \rightarrow C1 \rightarrow D4 \rightarrow S3 \rightarrow E1$ の経路で電流が流れ出力容量 C1 を高速に充電すると同時に、 $C2 \rightarrow D4 \rightarrow S3 \rightarrow E2 \rightarrow C2$ の経路で電流が流れ出力容量 C2 に蓄えられていたエネルギーを電源に回収できていることを表している。したがって、従来回路に比べ提案回路の方が主素子 S2 をオンした際に出力容量電荷の消費を少なくすることができ、ターンオン損失を低減することが可能となる。従来回路と提案回路で主素子 S1 のターンオフ時間はそれぞれ 380 ns と 288 ns となり、ターンオフ時間を 25 %改善できた。効率は従来回路が 53.9 %であるのに対し、提案回路は 60.0 %に改善された。また、負荷力率 0.85 を一定とした条件での負荷と効率の関係を図 15 に示す。図 15 からわかるように、負荷 28 W 以下の軽負荷領域において従来回路に比べ提案回路の方が高効率であり、最低出力時 (14 W) においては 6.1 ポイント高効率であることが確認できる。これは、従来回路では軽負荷時において主素子出力容量の充放電時間が長くなり、デッドタイム期間中に主素子出力容量の充放電を行うことができず、デッドタイム期間終了後に主素子をオンする際にターンオン損失が発生するのに対し、提案回路では主素子出力容量

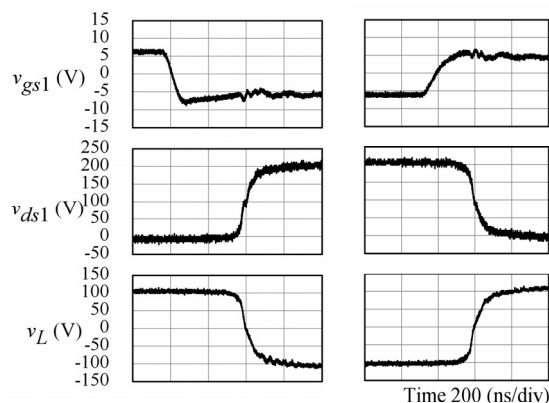


図 13 従来インバータ運転波形

Fig. 13. Experimental waveforms of conventional inverter.

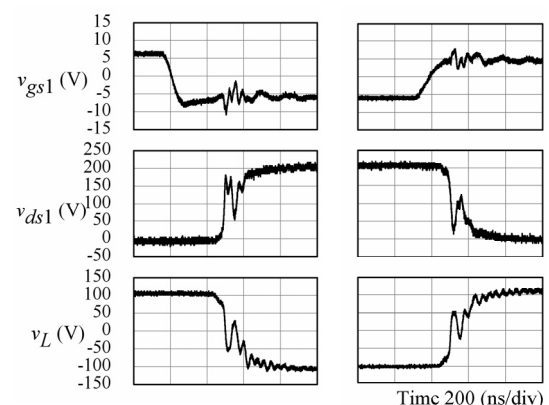


図 14 100 kHz 出力時の提案インバータ運転波形

Fig. 14 Experimental waveforms of proposed inverter.

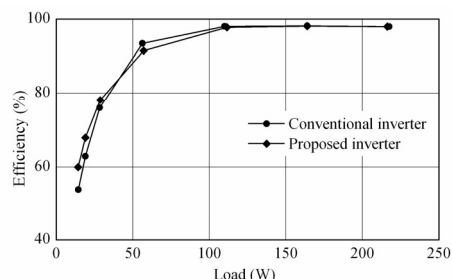


図 15 従来回路の拡大波形

Fig. 15. Enlarged waveforms of conventional circuit.

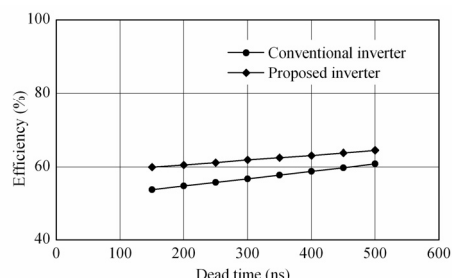


図 16 提案回路の拡大波形

Fig. 16. Enlarged waveforms of proposed circuit.

の充放電を高速に行うことができ、デッドタイム期間終了後に主素子をオンする際のターンオン損失を低減できるためである。また、14 W 出力時におけるデッドタイムと効率

の関係を図 16 に示す。同図より、デッドタイムが長くなると従来回路でもデッドタイム期間中に主素子の出力容量の充放電が行えるため、ターンオン損失が減少し効率は改善する⁽⁷⁾。しかし、一般的に電力変換器ではデッドタイムは 1 周期の 5 % 以下にすることが望ましく、100 kHz 駆動時では 500 ns 以下のデッドタイムが求められる⁽⁸⁾。100 kHz のような高周波で軽負荷運転の場合、デッドタイム期間中に主素子出力容量の充放電が行えないため、高速スイッチングかつ高効率スイッチングを実現するためには、本稿で提案したスイッチングアシスト補助回路を用いた手法が有効となる。例えば、効率 60 % を達成することができるデッドタイムは、従来回路が 450 ns であるのに対し、提案回路では 150 ns で効率 60 % を達成することができ、デッドタイムを 300 ns 短縮することが可能となる。また、ハーフブリッジインバータのような電力変換器における損失は、導通損とスイッチング損の合計であり、従来回路と提案回路では負荷電流が等しいため、主素子の導通損はほぼ同じであると考えられる。よって、従来回路と比べ提案回路の方が効率改善できるのは、スイッチング損が減少したためであり、この提案する手法は MHz 級の高周波電力変換器において、さらに有効であると考えられる。

以上より、スイッチングアシスト補助回路をハーフブリッジインバータに適用した場合、軽負荷時において高速かつ高効率なスイッチングが可能となることを確認した。なお、図 15 より重負荷時において提案回路は従来回路より効率が悪化しているが、これは補助素子をスイッチングさせているためであり、重負荷時では補助素子を常にオフさせておくことにより従来回路と同等の効率が得られる。スイッチングアシスト回路付きフルブリッジインバータの運転特性については今後の検討とする。

4. まとめ

本稿ではスイッチングアシスト補助回路を用いた MOSFET の高速スイッチング法を降圧チョップパ、双方向チョップパ、ハーフブリッジインバータに適用し、実験を通じて各種運転特性を検証した。

降圧チョップパでは効率は下がるものの、軽負荷時においても 1 MHz 駆動を実現し、50 % デューティサイクル駆動時に実際のオンデューティサイクルを 79.1 % から 52.8 % に 26.3 ポイント改善できることを確認した。更にターンオフ dv/dt を 0.3 kV/ μ s から 8.0 kV/ μ s と約 26 倍に高速化できることも確認した。双方向チョップパでは軽負荷時においてターンオフ時間を 278 ns から 192 ns と 31 % 短縮した。そして、出力容量電荷を回収する効果と出力容量電荷を転送する効果、リカバリーアシスト効果により 70 W 出力時において効率は 59.0 % から 61.7 % と 2.7 ポイント向上した。また、ハーフブリッジインバータでは 14 W 出力の軽負荷時にターンオフ時間を 380 ns から 288 ns と 25 % 短縮し、効率は 53.9 % から 60.0 % と最大 6.1 ポイント改善できることを確認した。そして、同じ効率を得るのに必要なデッドタイムを 450 ns

から 150 ns へ 300 ns 短縮可能であることも確認した。

本稿で提案したスイッチングアシスト補助回路を用いる手法は MOSFET の出力容量が大きい場合にさらに有効となる。例えば、大きな電流容量を得るために MOSFET を並列駆動するときや各種寄生容量の大きな低オン抵抗の MOSFET を駆動する際に効果的である。なお、この手法はフルブリッジインバータや三相インバータへも適用が可能であり、今後検討する所存である。

文 献

- (1) T. Noguchi, S. Yajima and H. Komatsu : "Development of Gate Drive Circuit for Next-Generation Ultra High-Speed Switching Devices", IEEJ Trans., Vol. 129-D, No. 1, pp. 46-52 (2009) (in Japanese)
野口季彦・矢島哲志・小松宏禎 : 「次世代超高速スイッチング素子ゲート駆動回路の開発」, 電学論 D, Vol.129, No.1, pp. 46-52 (2009)
- (2) M. Ishigaki and H. Fujita : "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation", IEEJ Trans., Vol. 127-D, No. 10, pp. 1090-1096 (2007) (in Japanese)
石垣将紀・藤田英明 : 「低損失・高周波動作可能な MOSFET 用共振形ゲートドライブ回路」, 電学論 D, Vol. 127, No. 10, pp. 1090-1096 (2007)
- (3) R.W. De Doncker and J.P. Lyons : "The Auxiliary Resonant Commutated Pole Converter", Conf. Rec. of the IEEE-IAS Annual Meeting, Vol. 2, pp. 1228-1235 (1990)
- (4) T. Noguchi and T. Mizuno : "High-Speed Switching Method of MOSFET Using Auxiliary Circuit Shorting Load: Application and Operation Characteristics of Chopper", IEEJ Trans., Vol. 132-D, No. 5, pp. 598-559 (2012) (in Japanese)
野口季彦・水野知博 : 「負荷短絡補助回路を用いた MOSFET の高速スイッチング法 —チョップパへの適用と運転特性—」, 電学論 D, Vol.132, No.5, pp.598-599 (2012)
- (5) T. Noguchi and T. Mizuno : "High-Speed Switching Method of MOSFET Using Auxiliary Circuit Shorting Load: Application and Operation Characteristics of High-Frequency Half-Bridge Inverter", IEEJ Trans., Vol. 132-D, No. 11, pp. 1080-1081 (2012) (in Japanese)
野口季彦・水野知博 : 「負荷短絡補助回路を用いた MOSFET の高速スイッチング法 —高周波ハーフブリッジインバータへの適用と運転特性—」, 電学論 D, Vol.132, No.11, pp.1080-1081 (2012)
- (6) 餅川宏・小山建夫 : 「小型・低損失インバータを実現する新回路技術」, 東芝レビュー 2006 vol. 61, No. 11, pp. 32-35 (2006)
- (7) N. Hoshi and A. Matsui : "Improvement of Power Conversion Efficiency of Soft-Switching Inverter in Range of Low Output Power by Adjustable Dead Time Control", IEEJ Trans., Vol.131-D, No.5, pp.679-684 (2011) (in Japanese)
星伸一・松井綾花 : 「可変デッドタイム制御によるソフトスイッチングインバータの低出力域での高効率化」, 電学論 D, Vol.131, No.5, pp.679-684 (2011)
- (8) K. Shirakawa, K. Wada and T. Shimizu : "An Issue on 200 kHz Class High Frequency Switching of a PWM Inverter", IEEJ Proc. IAS Annual Conference, Vol. 1, pp. 277-280 (2006) (in Japanese)
白川和博・和田圭二・清水敏久 : 「PWM インバータの 200 kHz 級高周波スイッチングの課題」, 平成 18 年電気学会産業応用部門大会, Vol. 1, pp. 277-280 (2006)