ゲートドライブ補助回路による MOSFET の高効率高速スイッチング法

学生員村田宗洋* 正員野口季彦(静岡大学)

High-Efficiency and High-Speed Switching Method of MOSFET Using Gate Drive Auxiliary Circuit

Munehiro Murata*, Toshihiko Noguchi (Shizuoka University)

This paper describes a high-efficiency and high-speed switching method of the MOSFET by using a gate drive auxiliary circuit. By applying the method to a chopper and a half-bridge inverter, a turn-off time of the MOSFET can effectively be reduced, which enables a high-frequency drive and reduction of the switching loss. It was confirmed through experimental tests that the turn-off dv/dt of the main MOSFET was increased 9 times of the conventional circuit by employing the proposed method, especially in a low-load range.

キーワード: MOSFET, 高速スイッチング, 高効率スイッチング, ターンオフ, 補助回路, チョッパ, インバータ (MOSFET, high-speed switching, high-efficiency switching, turn-off, auxiliary circuit, chopper, inverter)

1. はじめに

今後,SiC (Silicon Carbide) -MOSFET に代表される新し い電力用半導体スイッチング素子が実用化され,パワーエ レクトロニクス分野へ広く普及すると予想されている。従 来のSi (Silicon)を基材とする電力用半導体スイッチング素 子と比べて,SiC-MOSFET は高耐圧,高温動作,高速スイ ッチング,低損失など数々の特長をもっており,電力変換 器のパワー密度を飛躍的に向上させる切札と期待されてい る。しかし,一般に MOSFET では低オン抵抗や大電流化に 伴って各種寄生容量が増加する傾向にあり,SiC素子ではそ の固有物性も相伴って,さらに寄生容量が増大すると考え られる。これにより,入力容量や出力容量の高速充放電が 妨げられ,本来有している高速スイッチング特性を十分に 発揮することが困難となる。

高速スイッチングを実現するためには、ターンオン時間 だけでなくターンオフ時間を短縮することが求められる。 ターンオン時間は入力容量を高速に充電することにより短 縮することができる。従来採用されている手法としては、 ゲート抵抗を小さくすることやゲート抵抗と並列にスピー ドアップコンデンサを用いることが挙げられる。近年では 新しいゲート駆動回路の研究も行われており、筆者らはイ ンダクタインパルス重畳方式を用いた超高速スイッチング ゲート駆動回路を提案した⁽¹⁾。一方、ターンオフ時間は出力 容量を充電する時間によって決定されるため、ゲート駆動 側より制御する手法は確立されていない。筆者らは主回路 の負荷素子と並列にスイッチングアシスト補助回路を設け ることでターンオフ時間を短縮する手法を提案している⁽²⁾ ⁽³⁾。つまり, MOSFET の高速スイッチングを実現するため には、入力容量だけでなく出力容量の高速充電も必要であ る。また、高周波電力変換器では全体の損失に対するスイ ッチング損の割合が大きくなる。特にインバータなどの電 力変換器で軽負荷の場合は、デッドタイム期間中にスイッ チング素子の出力容量を完全に放電できないため、スイッ チング素子がターンオンする際に電源が短絡されてスイッ チング素子を通って短絡電流が流れることが大きな問題と なる。そこで、各種寄生容量の電荷を回収する技術も必要 である。従来は入力容量に蓄えられている電荷を共振形ゲ ート駆動回路によって回収したり、出力容量やスナバに蓄 えられている電荷をソフトスイッチングや回生スナバによ って回収する手法が検討されてきた。(4)(5)。しかし、それ らの技術はdv/dtやdi/dtを低くすることでスイッチング損失 を低減する手法であり、スイッチング時間としては増加す るため、MHz 級の高周波電力変換器を実現することは難し い。

そこで、本稿ではゲートドライブ補助回路を用いること によりゲート駆動側の制御によってターンオフ時間を短縮 する手法を提案する⁽⁶⁾。この手法は、ソフトスイッチング を目的とするものではなく、ハードスイッチングの dv/dt を 高めて高速かつ高効率なスイッチングを可能にするもので ある。この回路を降圧チョッパとハーフブリッジインバー タに適用し、実験を通じて運転特性を検証した。提案する



図 1 提案する補助回路 Fig. 1. Proposed auxiliary circuit.



図2 補助回路つき降圧チョッパ

Fig. 2. Proposed buck chopper with auxiliary circuit.





Fig. 3. Switching pattern of proposed chopper with auxiliary circuit.

手法で高速スイッチングを行うことにより,降圧チョッパ では軽負荷領域においてオンデューティサイクルを 14.4 pt 改善し,ハーフブリッジインバータでも軽負荷領域におい て 9.0 pt の効率改善を実験的に確認したので報告する。

2. 回路構成と動作原理

〈2・1〉降圧チョッパ 図1にゲートドライブ補助回路, 図2に主素子S1のドレインーソースに補助回路を設けた主 回路構成を示す。C1は主スイッチング素子である MOSFET の出力容量を示しており、スナバ回路ではない。スナバ回 路はターンオフを遅くする要因であるため、本研究ではス ナバを使用しない。

従来回路では主素子 S1 がオフしてから出力容量 C1 が充 電される時間, すなわちターンオフ時間は主素子 S1 の出力 容量と負荷抵抗の時定数で決定されていた。つまり, 重負 荷のときはターンオフ時間が短く, 軽負荷のときはターン オフ時間が長くなる。そこで, 提案回路では S1 をオフした 直後に補助素子 Sc1 をオフすることで出力容量を高速充電



図 4 補助回路つきハーフブリッジインバータ Fig. 4. Proposed half-bridge inverter with auxiliary circuit.



Fig. 5. Switching pattern of proposed inverter with auxiliary circuit.

することにより軽負荷領域においても高速なスイッチング を実現する。図 3 に提案回路のスイッチングパターンを示 す。Model では $E \rightarrow Load \rightarrow S1 \rightarrow E$ の経路で電流が流れる。 Mode2 では補助素子 Sc1 をオンすることによって $Ed1 \rightarrow Dc1 \rightarrow Lc1 \rightarrow Sc1 \rightarrow Ed1$ の経路で電流が流れインダクタ Lc1 にエネルギーを蓄える。Mode3 で主素子 S1 がオフした 直後に補助素子 Sc1 をオフするによって $Ed1 \rightarrow Dc1 \rightarrow Lc1 \rightarrow Dc2 \rightarrow ZD1 \rightarrow C1 \rightarrow Ed1$ の経路でインパルス 状の電流を流して高速に出力容量 C1 の共振周波数の 1/4 周 期で決定される。Mode4 では負荷に流れていた電流は Load $\rightarrow D1 \rightarrow Load$ の経路で還流する。なお、提案回路では補 助回路の損失が発生するため、全体としては従来回路より 効率は悪化する。

補助素子 Sc1 は高周波駆動が可能でスイッチング損失が 少ない寄生容量の小さな素子を選ぶことが望ましい。ツェ ナーダイオードZD1は主素子S1がオンしているときに補助 回路から主回路に電流が流入するのを防ぐため、補助ダイ オードDc1, Dc2 は主回路から補助回路に電流が流れるのを 防ぐために必要である。ツェナーダイオードは1 個あたり の電流耐量が小さいためここでは3素子を並列に接続した。

〈2・2〉ハーフブリッジインバータ 図4に上アームと下アームの主素子 S1 と S2 のドレインーソースに補助回路を設けた提案回路を示す。前述のとおり C1 と C2 は主スイッチング素子の出力容量を表している。

従来回路では主素子のターンオフ時間は出力容量と負荷

抵抗の時定数で決定される。そのため軽負荷時においては デッドタイム期間中に出力容量の電荷を消費できず高速ス イッチングが困難となる。また, S1 がターンオンするとき に C1 の電荷を回収しないまま主素子 S1 をターンオンする と、単純に C1 に蓄えられたエネルギーが消費されるととも に E1→S1→C2→E2→E1 の経路で大きな短絡電流が流れる。 このときの短絡電流は数十 A となり, 主素子の損失原因に もなり過熱を招く恐れもある。そこで、提案回路では主素 子 S1 をオフした直後に補助スイッチ Sc1 をオフすることに より高速スイッチングを実現する。 図5に提案回路のスイ ッチングパターンを示す。Model では $E1 \rightarrow S1 \rightarrow Load \rightarrow E1$ の経路で電流が流れる。補助回路では降圧チョッパと同様 に Sc1 を事前にオンしておき Ed1→Dc1→Lc1→Sc1→Ed1 の 経路で電流を流してインダクタ Lcl にエネルギーを蓄える。 Mode2 では主素子 S1 がオフした直後に補助素子 Sc1 をオフ するによってインダクタ Lcl に蓄えられたエネルギーを放 出し, $Ed1 \rightarrow Dc1 \rightarrow Lc1 \rightarrow Dc2 \rightarrow ZD1 \rightarrow C1 \rightarrow Ed1$ の経路でイン パルス状の電流を流して高速に出力容量 C1 を充電する。こ れにより従来回路と比べて大幅に短絡電流を低減すること ができる。 しかし、このとき電流は C1 に流れる電流と E1 に流れる電流に分流するので Lc1 に蓄えるエネルギーは降 圧チョッパの場合の2倍程度必要となる。下アームの主素 子 S2 の動作についても同様である。以上により高効率かつ 高速スイッチングを実現することができる。

3. 実検による動作特性の検証

〈3・1〉降圧チョッパ 提案した回路の有効性を確認するために実機検証を行った。主回路の電源電圧 E を 140 V, ゲートドライブ電源 Ed1 を 12 V, 主素子 S1 には ST 製 Y60NM60 (600 V, 12 A), 補助素子 Sc1 には ST 製 P12NM60 (550 V, 12 A), 補助ダイオード Dc1 および Dc2 には infineon 製 D06S60 (600 V, 6 A), 還流ダイオード D1 には infineon 製 D12S60 (600 V, 12 A), ツェナーダイオード ZD1 には ON Semiconductor 製 1N5349BG(12 V), インダクタ Lc1 には 12 μH のものを用いた。

従来回路及び提案回路で駆動周波数 100 kHz, デューティ サイクル 50 %, 負荷素子のパラメータは 800 Ω-0.8 mH と した場合の動作波形を図 6, 図 7 に示す。主素子 S1 をオフ してから補助素子 Sc1 をオフする遅れ時間は 100 ns とし, インダクタ Lc1 にエネルギーを蓄えるチャージ時間は 3 µs とした。図 6 から読み取れるように,従来回路では主素 子 S1 のドレイン-ソース電圧 vds1 の立ち上がりが遅いこと が確認できる。これは,負荷抵抗の値が大きいために主素 子 S1 の出力容量 C1 の充電に時間がかかり,ターンオフ時 間が長いために高速スイッチングできていないことを表し ている。一方,図 7 からわかるように,提案回路では主素 子 S1 のドレイン-ソース電圧 vds1 が急速に立ち上がってい ることが確認できる。デューティーサイクル 50 %駆動時に おける実際のドレイン-ソース電圧 vds1 のオンデューティ サイクルは従来回路と提案回路でそれぞれ 66.4 %, 52.0 %



Fig. 6. Experimental waveforms of conventional buck chopper.



となった。また、ターンオフ dv/dt はそれぞれ 0.16 kV/ μ s、 1.49 kV/µs であり,提案回路では約9倍の高速スイッチング を実現できることがわかる。駆動周波数100 kHz,負荷力率 0.85 を一定としたときの負荷電力と実際のオンデューティ サイクルを図8に示し、負荷電力と効率の関係を図9に示 す。図8より従来回路に比べて提案回路の方がデューティ サイクル 50%に近い運転を維持できることが確認できる。 軽負荷領域では負荷電流が小さいので, 従来回路では出力 容量Clを充電する時間が負荷抵抗と出力容量の時定数で決 定されターンオフに長時間を要するのに対して、提案回路 では負荷に無関係に充電が可能である。一方、重負荷時に おいては従来回路と提案回路はどちらもほぼデューティー サイクル 50%に近い運転を行うことができる。これは、重 負荷の場合は負荷電流が大きく,従来回路においても出力 容量 C1 を高速に充電できるためである。ただし提案回路に おいても常に 1.5 pt 程デューティサイクル 50 %からの乖離 が見られるが、これはインダクタ Lc1 と主素子 S1 の出力容 量 C1 で決定される出力容量 C1 の充電時間(共振周期の 1/4 一定)によるものである。一方,図9に示したように従来 回路に比べ提案回路は低効率であり、13W出力時において 効率は15pt悪化した。これは、提案回路では補助回路によ るスイッチング損および導通損が発生し、これらの損失が 付加されたためである。また、負荷抵抗を 800 Ω-0.8 mH

ー定として駆動周波数を変化させたときの周波数と実際の オンデューティサイクルの関係を図10に示す。この図より 従来回路では駆動周波数が高周波になるほどデューティサ イクル 50%から乖離するが,提案回路ではデューティサイ クル 50%に近い運転を行えることが確認できる。

以上より,ゲートドライブ補助回路を降圧チョッパに適 用した場合,効率は下がるものの軽負荷時においても高周 波駆動が可能であることを確認した。

 〈3・2〉ハーフブリッジインバータ 提案した回路の有効 性を確認するために実機検証を行った。主回路の電源電圧 *E1*および *E2*を 70 V, Dc1および Dc3 は IDH12S60C(600 V, 12 A), Lc1および Lc2 は 4.5 µH, 主素子およびその他の素 子は降圧チョッパと同様のものを用いた。

従来回路および提案回路で駆動周波数を100 kHz, デュー ティーサイクルを 50 %, デッドタイムを 250 ns, 負荷素子 を 200 Ω-0.2 mH とした場合の動作波形を図 11~図 14 に示 す。主素子 S1 と補助素子 Sc1 および主素子 S2 と補助素子 Sc2 は同時にオフさせる。インダクタ Lc1 および Lc2 にエネ ルギーを蓄えるチャージ時間は2µsとした。図11および図 13より従来回路ではデッドタイム期間終了後主素子S1また は主素子 S2 がオンするときに、それぞれの出力容量の電荷 を放電できていないため、電源が短絡され短絡電流が流れ ることがわかる。また, 主素子のドレイン-ソース波形 vgs1, vgs2 がターンオフ後に振動しているが、これは高 dv/dt により主素子の帰還容量を通じて入力容量に電流が流れる ためである。一方,図12および図14より提案回路では補 助回路を動作させることによって主素子 S1 および主素子 S2 の出力容量を高速に充電できるため、それらをオンさせ るときの出力容量の電荷消費がなくなり短絡電流を低減で きる。また、提案回路では主素子 S1 と S2 のゲート-ソー ス電圧の振動が従来回路に比べて低減されていることも確 認できる。これは提案回路では主素子のターンオフ時間は 補助回路のインダクタと出力容量の共振周波数で決定され るため従来回路と比べて dv/dt が抑制されて、帰還容量を通 じて大きな電流が流れないためである。従来回路と提案回 路で主素子 S1 のターンオフ時間はそれぞれ 450 ns と 390 ns になり、ターンオフ時間を13%改善でき、短絡電流も13.7A から0Aまで低減することができる。また、負荷力率0.85 を一定とした条件での負荷電力と効率の関係を図 15 に示 す。同図からわかるように 41 W 以下の軽負荷領域おいて従 来回路に比べて提案回路の方が高効率であり、26W出力時 に 9.0 pt の効率改善を確認できる。これは、従来回路では軽 負荷時において主素子出力容量の充放電時間が長くなり, デッドタイム期間中に主素子出力容量の充放電を完了する ことができず、デッドタイム期間終了後に主素子をオンす る際に短絡電流によりターンオン損失が発生するのに対 し、提案回路では主素子出力容量の充放電を高速に行うこ とができ, デッドタイム期間終了後に主素子をオンする際 のターンオン損失を低減できるためである。重負荷時にお いては提案回路にくらべて従来回路の方が高効率になる







Fig. 10. Frequency-actual duty cycle characteristic.

が、これは補助回路の損失がないためである。41 W 以上の 領域においては補助回路を動作させないようにすることで 従来回路と同等の効率を得ることができる。また、14 W 出 力時のデッドタイムと効率の関係を図 16 に示す。同図より デッドタイムが 400 ns 以下で従来回路に比べて提案回路で は高効率な運転が可能である。これは、従来回路ではデッ ドタイムが短いとその期間中に主素子出力容量の充放電を 行うことができないためであり、提案回路ではデッドタイ ムが短くても出力容量の充放電を高速に行えるためであ る。デッドタイム期間が 400 ns 以上であれば提案回路に比 べて従来回路の方が高効率となる。これはデッドタイムが 長くなると従来回路でもデッドタイム期間中に主素子出力 容量の充放電が行えるため、ターンオン損失が減少し効率 が改善するからである⁽⁷⁾。デッドタイムが 250 ns のときに 21 pt の効率上昇を確認した。一般的に電力変換器ではデッ



図 11 (使来インハータの SI ターンオン美験波形 Fig. 11. Experimental S1 turn-off waveforms of conventional inverter.



図 12 従業インバータの SI ターシオノ 実験 仮形 Fig. 12. Experimental S1 turn-off waveforms of proposed inverter.



図 13 使来インバークの ST クーンオン 美映仮形 Fig. 13. Experimental S1 turn-on waveforms of proposed inverter.





ドタイムはスイッチング1周期の5%以下にすることが



Fig. 16. Dead time-efficiency characteristic.

望ましく,100 kHz 駆動時では 500 ns 以下のデッドタイムが 求められる⁽⁸⁾。100 kHz のような高周波で軽負荷運転の場 合,デッドタイム期間中に主素子出力容量の充放電が行え ないため,高速かつ高効率スイッチングを実現するために は,本稿で提案したゲートドライブ補助回路を用いた手法 が有効である。また,ハーフブリッジインバータのような 電力変換器における損失は,導通損とスイッチング損の合 計であり,従来回路と提案回路では負荷電流が等しいため, 主素子の導通損はほぼ同じであると考えられる。よって, 従来回路と比べ提案回路の方が効率改善できるのは,スイ ッチング損が減少したためであり,提案する手法は MHz 級 の高周波電力変換器において,更に有効であると考えられ る。

以上より,ゲートドライブ補助回路をハーフブリッジイ ンバータに適用した場合,軽負荷時において高速かつ高効 率なスイッチングが可能となることを確認した。

4. まとめ

本稿ではゲートドライブ補助回路を用いた MOSFET の高 速スイッチング法を降圧チョッパ,ハーフブリッジインバ ータに適用し,実験を通じて各種運転特性を検証した。

降圧チョッパでは効率は悪化するものの,軽負荷時にお いても100 kHz 駆動を実現し,50 %デューティーサイクル 駆動時に実際のオンデューティーサイクルを66.4 %から 52.0 %に14.4 pt 改善できることを確認した。更にターンオ フ dv/dt を 0.16 kV/µs から 1.49 kV/µs と約 9 倍高速化できる ことも確認した。また、ハーフブリッジインバータでは 14 W 出力の軽負荷時にターンオフ時間を 450 ns から 390 ns と 13 %短縮し、効率も 35.0 %から 66.0 %と最大 21 pt 改善でき ることを確認した。

本稿で提案したゲートドライブ補助回路を用いる手法は MOSFET の出力容量が大きい場合にさらに有効である。例 えば、大電流化に対応するために MOSFET を並列駆動する 場合や、各種寄生容量が大きな低オン抵抗の MOSFET を駆 動する際に効果的である。

文 献

 T. Noguchi, S. Yajima and H. Komatsu: "Development of Gate Drive Circuit for Next-Generation Ultra High-Speed Switching Devices", IEEJ Trans., Vol. 129-D, No. 1, pp. 46-52 (2009) (in Japanese)
 野口季彦・矢島哲志・小松宏禎:「次世代超高速スイッチング素子ゲ

町口学修・天島白心・小仏公禎... (K回八起同座ヘイツ) ンク案子グ ート駆動回路の開発」, 電学論 D, Vol.129, No.1, pp. 46-52 (2009)

 (2) T. Noguchi and T. Mizuno: "High-Speed Switching Method of MOSFET Using Auxiliary Circuit Shorting Load: Application and Operation Characteristics of Chopper", IEEJ Trans., Vol. 132-D, No. 5, pp. 598-559 (2012) (in Japanese) 野口季彦・水野知博:「負荷短絡補助回路を用いた MOSFET の高速 スイッチング法 ーチョッパへの適用と運転特性–」, 電学論 D,

Vol.132, No.5, pp.598-599 (2012)
(3) T. Noguchi and T. Mizuno: "High-Speed Switching Method of

(3) I. Noguchi and T. Mizino. Figh-Speed Switching Method of MOSFET Using Auxiliary Circuit Shorting Load: Application and Operation Characteristics of High-Frequency Half-Bridge Inverter", IEEJ Trans., Vol. 132-D, No. 11, pp. 1080-1081 (2012) (in Japanese)

野口季彦・水野知博:「負荷短絡補助回路を用いた MOSFET の高速 スイッチング法 —高周波ハーフブリッジインバータへの適用と運 転特性—」,電学論 D, Vol.132, No.11, pp.1080-1081 (2012)

(4) M. Ishigaki and H. Fujita: "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation", IEEJ Trans, Vol. 127-D, No. 10, pp. 1090-1096 (2007) (in Japanese) 石垣将紀・藤田英明:「低損失・高周波動作可能な MOSFET 用共振

形ゲートドライブ回路」, 電学論 D, Vol. 127, No. 10, pp. 1090-1096 (2007)

- (5) R.W. De Doncker and J.P. Lyons : "The Auxiliary Resonant Commutated Pole Converter", Conf. Rec. of the IEEE-IAS Annual Meeting, Vol. 2, pp. 1228-1235 (1990)
- (6) M. Murata, T. Mizuno and T. Noguchi: "High-Speed Switching Method of MOSFET Voltage Boost Auxiliary Circuit Fed by Gate Drive Power Supply", IEEJ Proc. IAS Annual Conference, Vol.1, pp. 369-370 (2013) (in Japanese) 村田宗洋・水野知博・野口季彦:「ゲートドライブ電源昇圧補助回路 を用いた MOSFET の高速スイッチング法」, 平成 25 年電気学会産 業応用部門大会, Vol.1, pp. 369-370 (2013)
- (7) N. Hoshi and A. Matsui: "Improvement of Power Conversion Efficiency of Soft-Switching Inverter in Range of Low Output Power by Adjustable Dead Time Control", IEEJ Trans., Vol.131-D, No.5, pp.679-684 (2011) (in Japanese) 星伸一・松井綾花:「可変デッドタイム制御によるソフトスイッチン グインバータの低出力域での高効率化」,電学論 D, Vol.131, No.5, pp.679-684 (2011)
- (8) K. Shirakawa, K. Wada and T. Shimizu: "An Issue on 200 kHz Class High Frequency Switching of a PWM Inverter", IEEJ Proc. IAS Annual Conference, Vol. 1, pp. 277-280 (2006) (in Japanese) 白川和博・和田圭二・清水敏久:「PWM インバータの 200 kHz 級高 周波スイッチングの課題」, 平成 18 年電気学会産業応用部門大会, Vol. 1, pp. 277-280 (2006)

 (9) 餅川宏・小山建夫:「小型・低損失インバータを実現する新回路技術」, 東芝レビュー2006 vol. 61, No. 11, pp. 32·35 (2006)