

MOSFET 寄生容量の高速充放電によるスイッチング損失低減法

村田 宗洋* 野口 季彦 (静岡大学)

Switching Loss Reduction by Means of
High-Speed Charging and Discharging of MOSFET's Parasitic Capacitor
Munehiro Murata*, Toshihiko Noguchi (Shizuoka University)

This paper describes a switching-loss reduction of a MOSFET by using a switching assist circuit fed by a gate drive power supply. The proposed circuit allows fast charge and discharge of the parasitic output capacitor of the MOSFET. By applying the proposed circuit to a boost chopper, the recovery loss of the body diode can be reduced down to one-fifth. In the case of an application to a PWM half-bridge inverter, the total efficiency can be improved by 14.8 points in the low-load range owing to the reduction of the switching loss of the MOSFET.

キーワード : MOSFET, 高速スイッチング, スwitching 損失, ターンオフ, ターンオン, 補助回路, インバータ
(MOSFET, high-speed switching, switching loss, turn-off, turn-on, auxiliary circuit, inverter)

1. はじめに

今後、SiC (Silicon Carbide) -MOSFET に代表される新しい電力用半導体スイッチング素子が実用化され、パワーエレクトロニクス分野へ広く普及すると予想されている。従来の Si (Silicon) を基材とする電力用半導体スイッチング素子と比べて、SiC-MOSFET は高耐圧、高温動作、高速スイッチング、低損失など数々の特長をもっており、電力変換器のパワー密度を飛躍的に向上させる切札と期待されている。しかし、一般に MOSFET では低オン抵抗や大電流化に伴って各種寄生容量が増加する傾向にあり、SiC 素子ではその固有物性も相伴って、さらに寄生容量が増大すると考えられる。これにより、寄生入力容量や寄生出力容量の高速充放電が妨げられ、本来有している高速スイッチング特性を十分に発揮することが困難となる。

高速スイッチングを実現するためには、ターンオン時間だけでなくターンオフ時間も短縮することが求められる。ターンオン時間は寄生入力容量を高速に充電することにより短縮することができる。従来採用されている手法としては、ゲート抵抗を小さくすることやゲート抵抗と並列にスピードアップコンデンサを用いることが挙げられる。近年では新しいゲート駆動回路の研究も行われており、筆者らはインダクティブパルス重畳方式を用いた超高速スイッチングゲート駆動回路を提案した⁽¹⁾⁽²⁾。一方、ターンオフ時間は寄生出力容量を充電する時間によって決定される。筆者らは主回路の負荷素子と並列に負荷短絡形のスイッチングアシスト回路を設けることでターンオフ時間を短縮する手

法を提案した⁽³⁾。これは主回路に補助素子を設ける手法であるため主回路の変更が必要となることと、寄生出力容量を高速充電するために高 di/dt の電流を流すことによる電圧サージが問題となる。

また、高周波電力変換器では全体の損失におけるスイッチング損失の割合が大きくなる。特にインバータなどの電力変換器では、デッドタイム期間中にスイッチング素子の寄生出力容量を完全に充放電できない場合やボディダイオードがオンすることもあるため、スイッチング素子がターンオンする際にボディダイオードのリカバリ損失が発生するとともに、直流バスが短絡されて大電流がスイッチング素子を通り大きな損失となる。リカバリ損失およびリカバリ電流によるターンオン損失はリカバリアシスト回路を用いることによって低減できる⁽⁴⁾。しかし、本手法では寄生出力容量を充電するための短絡電流によるターンオン損失は低減できない。

そこで筆者らは、ゲートドライブ電源を利用したスイッチングアシスト回路を用いることで寄生出力容量を高速充電してターンオフ時間を短縮し、リカバリ電流と寄生出力容量の充電電流によるターンオン損失を低減する手法を提案してきた⁽⁵⁾⁽⁶⁾。しかし、補助回路を用いた際のリカバリ損失と補助回路の制御条件については詳しい報告を行っていない。そこで、本稿ではダイオードのリカバリ損失低減効果と MOSFET のドレイン電流の大きさと極性による補助回路の制御条件を検討する。本提案回路は従来のゲートドライブ回路を追加変更したものであり、主回路側の変更は必要ない。また、寄生出力容量を充電するために尖頭値の

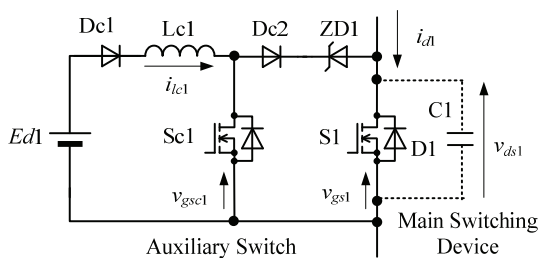


図1 ゲートドライブ電源を利用したスイッチングアシスト回路

Fig. 1. Switching assist circuit fed by gate drive power supply.

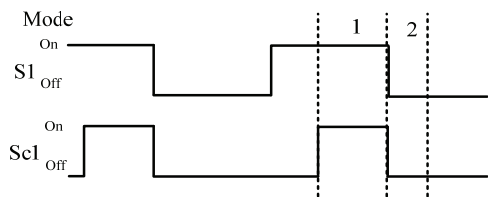


図2 補助回路のスイッチングパターン

Fig. 2. Switching pattern of switching assist circuit.

高い電流を流す必要もないので電圧サージも問題とならない。ここで述べる MOSFET のスイッチングアシストとは、ソフトスイッチングを目的とするものではなく、ハードスイッチングの dv/dt を高めて高速かつ高効率なスイッチングを可能にするものである。本提案回路を昇圧チョッパと PWM インバータに適用し、補助回路の効果を確認するために実機検証を行なった。提案手法により寄生出力容量を高速充放電することで昇圧チョッパでは最大でリカバリ損失を従来回路の 1/5 に改善でき、PWM インバータでも軽負荷領域においてリカバリ損失およびターンオン損失を低減することで 14.8 pt の効率改善を実験的に確認したので報告する。

2. ゲートドライブ電源を利用したスイッチングアシスト回路

(2・1) 補助回路の構成 図1にゲートドライブ電源を利用したスイッチングアシスト回路を示す。C1は主スイッチング素子である MOSFET の寄生出力容量を示しており、スナバ回路ではない。補助回路はゲートドライブ電源 $Ed1$ 、補助ダイオード $Dc1$ 、 $Dc2$ 、インダクタ $Lc1$ 、ツェナーダイオード $ZD1$ 、補助素子 $Sc1$ から構成される。S1と $Sc1$ のソースが $Ed1$ と共通であるため、S1と $Sc1$ を単一のドライブ電源で駆動することができる。

$Sc1$ は高周波駆動が可能でスイッチング損が少ない寄生容量の小さな素子を選ぶことが望ましい。また、 $Sc1$ の耐圧は S1 と同程度の素子、電流容量は S1 より小さい素子を使用することができる。ZD1は S1 がオンしているときに補助回路から主回路に電流が流入するのを防ぐため、 $Dc1$ 、 $Dc2$ は主回路から補助回路に電流が逆流するのを防ぐために必要である。ツェナーダイオードは 1 素子あたりの電流耐量が小さいため、ZD1は 3 並列に接続する。

(2・2) 補助回路の動作原理 インバータなどの電力

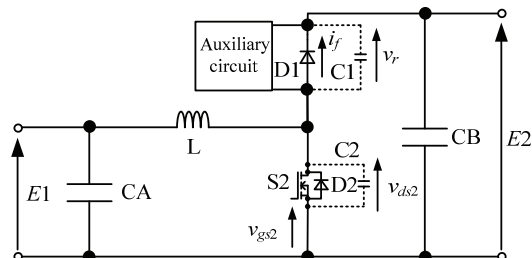


図3 補助回路つき昇圧チョッパ

Fig. 3. Boost chopper with auxiliary circuit.

変換器の従来回路では主素子のドレイン電流 i_{d1} が寄生出力容量を充電する向きに流れていれば（以下、正極性）、主スイッチング素子にオフ信号が入力されたときターンオフが開始される。このとき、寄生出力容量の充電時間は i_{d1} と C1 の値によって決定され、 i_{d1} の値が小さいと充電に時間がかかりターンオフ時間が長くなる。インバータのように上下アームをもつ構成の電力変換器では、上アームスイッチング素子がターンオフしないまま下アームのスイッチング素子がオンすると、スイッチング素子が強制的にターンオフされて直流バスを短絡して大電流が流れ大きなターンオン損失が発生する。一方で、ソースからドレインに向かって i_{d1} が流れている場合（以下、負極性）には、主素子にオフ信号が入力されているにもかかわらず MOSFET のボディダイオード D1 がターンオンするため、C1 は一切充電されずターンオフが完了しない。デッドタイムが終了し、下アームの主素子がターンオンすると非常に高い dv/dt をもつ逆電圧が D1 にかかるためリカバリ損失および直流バス短絡電流によるターンオン損失が発生する。提案回路では S1 をオフする直前までインダクタ $Lc1$ にエネルギーを蓄えておき、S1 をオフした直後に $Sc1$ をターンオフすることでエネルギーを転送し、C1 を高速充電することによって寄生出力容量が十分に充電されない領域においても高速かつ高効率なスイッチングを実現する。図2に補助回路のスイッチングパターンを示す。Mode1で S1 がオンしている期間中に $Sc1$ をオンすることによって $Ed1 \rightarrow Dc1 \rightarrow Lc1 \rightarrow Sc1 \rightarrow Ed1$ の経路で電流が流れ $Lc1$ にエネルギーを蓄える。Mode2で S1 がオフした直後に $Sc1$ をオフすることによって $Ed1 \rightarrow Dc1 \rightarrow Lc1 \rightarrow Dc2 \rightarrow ZD1 \rightarrow C1 \rightarrow Ed1$ の経路で電流を流して高速に C1 を充電する。このとき、 i_{d1} が正極性であれば、 $Lc1$ に蓄えたエネルギーを全て C1 に転送することができる。一方で、 i_{d1} が負極正である場合には、 $Sc1$ をオフしたとしても i_{d1} が補助回路に流れ込み、 $Lc1$ に流れている電流 i_{c1} が一定値で流れ続けようとするために、 i_{d1} と i_{c1} の差分のエネルギーしか転送できない。また、充電にかかる時間は $Lc1$ と寄生出力容量の共振周波数の 1/4 周期で決定される。そのため、従来回路を強制的にターンオフする際の dv/dt よりも提案回路の dv/dt を低くできるため、リカバリ損失低減効果も期待できる。しかし、寄生出力容量の充電電流とリカバリ電流の分離が困難であるため MOSFET を用いてリカバリ損失の評価を行なうことは困難である。

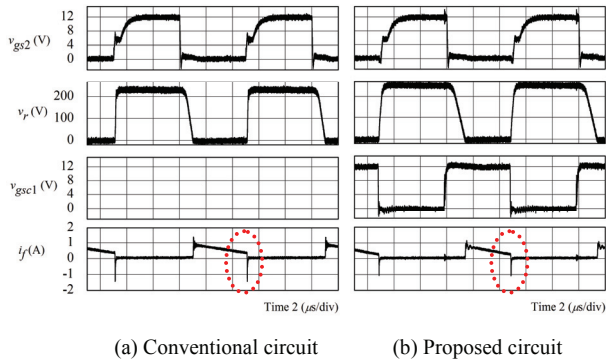


図 4 負荷抵抗 800 Ω のときの実験結果

Fig. 4. Experimental results at 800-Ω load resistance.

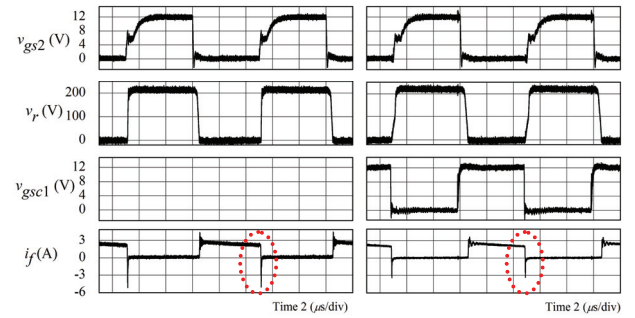


図 6 負荷抵抗 200 Ω のときの実験結果

Fig. 6. Experimental results at 200-Ω load resistance.

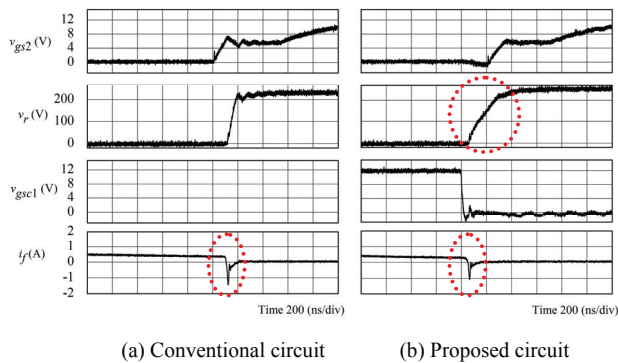


図 5 負荷抵抗 800 Ω のときの実験結果拡大図

Fig. 5. Expanded views of experimental results at 800-Ω load resistance.

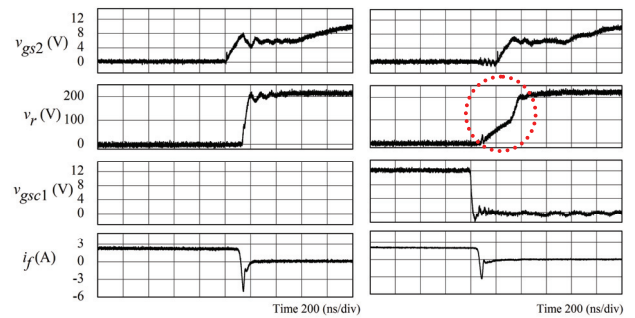


図 7 負荷抵抗 200 Ω のときの実験結果拡大図

Fig. 7. Expanded views of experimental results at 200-Ω load resistance.

3. 実験による動作特性の検証

〈3・1〉昇圧チョップ リカバリ損失の解析を目的として提案補助回路を昇圧チョップに適用した。図 3 に昇圧チョップのダイオード D1 に提案回路を設けた構成を示す。上述のように本来、提案する補助回路は MOSFET の D-S 間に接続して使用するが、寄生出力容量の影響によりボディダイオードのリカバリ損失評価が困難なため、ダイオードの A-K 間に接続して損失解析を行った。また、C1 は MOSFET の寄生出力容量を模擬したものである。

従来回路では、D1 に電流が流れている最中に昇圧動作のため S2 がオンすると、C1 を充電する電流とともに D1 に逆電圧がかかり CB→D1→S2→CB の経路でリカバリ電流が流れ、それに伴うリカバリ損失が発生する。提案回路では、S2 がオンする直前に Lc1 に蓄えたエネルギーを C1 に転送することにより、C1 を充電して D1 をオフさせる。このとき C1→D1→C1 の経路でリカバリ電流とそれに伴うリカバリ損失が発生するが、dv/dt が抑制されるため、リカバリ電流とリカバリ損失が低減できる。なお、ダイオードには負極性の電流が流れるため(1)で表される i_f と i_{cl} の差分のエネルギー P_t が転送される。

$$P_t = \frac{1}{2} Lc1(i_{cl}^2 - i_f^2) \quad (1)$$

提案した手法の有効性を確認するため、実機検証を行っ

た。E1 を 100 V、E2 を 200 V、S1 に ST 製 Y60NM60、D2 に ST 製 TH8L06、ゲートドライブ電源 Ed1 を 12 V、Sc1 に ST 製 P12NM60N、Dc1、Dc2 に Infineon 製 IDH12SG60、ZD1 に ON Semiconductor 製 1N5349BG を 3 並列、Lc1 に 12.4 μH、C1 に 1500 pF のものを用いた。

従来回路および提案回路で駆動周波数を 100 kHz、主素子と補助素子のデューティサイクルを 50 % として、負荷素子パラメータが 800 Ω–0.8 mH の場合の動作波形を図 4、図 5 に、200 Ω–0.2 mH の場合の動作波形を図 6、図 7 に示す。これらの図の i_f を比較すると、提案回路において D1 のリカバリ電流が減少していることがわかる。これは、従来回路においては S2 がオンしたときに D1 に高い dv/dt の逆電圧がかかるのに対して、提案回路では Lc1 と C1+C2 の共振周波数によって dv/dt が抑制されるためである。また、図 5 と図 7 の提案回路の v_r を比較すると、図 5 では補助回路によって v_r が完全に充電されているが、図 7 においては充電が途中で終わっていることが確認できる。これは、負荷抵抗の大きさによってダイオードに流れる電流が変わるために、(1)に示すように Lc1 から C1 に転送できるエネルギー量が変ったからである。また、負荷電力–リカバリ電流特性を図 8 に、負荷電力–リカバリ損失特性を図 9 に示す。リカバリ損失は LeCroy 製 waveRunner 6050 で測定した v_r と i_f を用いて算出した。図 8 よりリカバリ電流、図 9 よりリカバリ損失がそれぞれ従来回路に比べて提案回路は低減していることが確認できる。リカバリ損失は最大で 1.1 W か

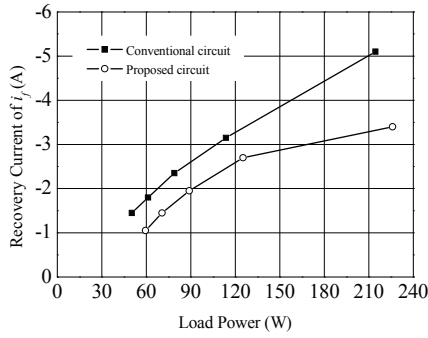


図8 負荷電力-リカバリ電流特性

Fig. 8. Load-recovery current characteristic.

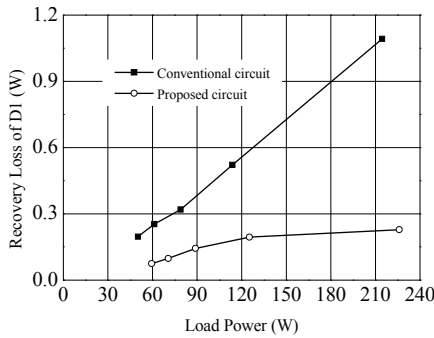


図9 負荷電力-リカバリ損失特性

Fig. 9. Load-recovery loss characteristic.

ら 0.2 W とおおよそ 1/5 に低減することができた。これは、リカバリ電流値が小さくなったことに加えて v_r の dv/dt が低くなったことに起因する。なお、補助回路が出力する電流よりダイオードに流れる電流が大きくなると、転送できるエネルギーが 0 となり補助回路の効果を得られない。一般に MOSFET のボディダイオードの特性はスイッチングダイオードに比べて悪く、提案回路を MOSFET に適用した場合にはさらなる効果が期待できる。

以上より、スイッチングアシスト回路用いてダイオードをオフする際のリカバリ損失低減効果について確認した。

〈3-2〉 PWM ハーフブリッジインバータ PWM ハーフブリッジインバータにドレイン電流の大きさと極性による制御条件を加味した補助回路を適用し、寄生出力容量充電電流とリカバリ電流によるターンオン損失低減およびリカバリ損失低減の効果を確認する。図 10 にハーフブリッジインバータの S1 および S2 のドレインソース間に補助回路を設けた提案回路を示す。前述のとおり C1 と C2 は主スイッチング素子の寄生出力容量を表している。

インバータを PWM 動作させた場合、 i_{d1} は負荷電流 i_L によって決定される。 i_L は基本波周波数で動作するのに対して、S1 および S2 は基本波より十分に高いスイッチング周波数で動作する。そのため、デッドタイム期間において i_{d1} が正極性の場合と負極性の場合が存在し、両者において従来回路と提案回路の動作を検討する必要がある。始めに、 i_{d1} が正極性の場合を述べる。従来回路において、主素子のターンオフ時間 t_{off} は負荷電流と寄生出力容量によって決定さ

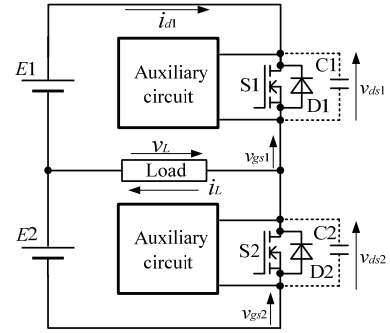


図10 補助回路つきハーフブリッジインバータ

Fig. 10. Half-bridge inverter with auxiliary circuit.

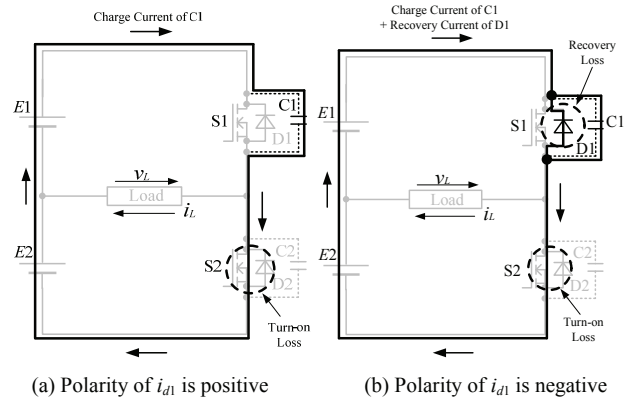


図11 従来回路における短絡電流の経路

Fig. 11. Short-circuit current path of conventional circuit.

れ(2)で表される。

$$t_{off} = \frac{(C1 + C2)(E1 + E2)}{i_L} \quad (2)$$

そのため、負荷電流が小さいときには、寄生出力容量をデッドタイム期間内で充放電できず高速スイッチングが困難となる。例えば、S1 のターンオフが完了しないまま、デッドタイム期間が終了し S2 がターンオンすると図 11 (a) に示すように C2 に蓄えられた電荷をすべて消費するとともに、C1 を強制的にターンオフするための直流バスを短絡する電流が $E1 \rightarrow C1 \rightarrow S2 \rightarrow E2 \rightarrow E1$ の経路で流れ、S2 において過大なターンオン損失が発生する。このとき、直流バスを短絡する電流は数十 A にもなることに加え、G-S 間電圧が閾値を超えた瞬間のオン抵抗は非常に高いものであるため短絡電流によるターンオン損失がインバータ全体の主損失要因となり得る。そこで、提案回路では S1 をオフした直後に Sc1 をオフすることによりゲートドライブ回路側から寄生出力容量を十分に充電し、短絡電流を抑制することでターンオン損失の低減を実現する。このとき、Lc1 のエネルギーは全て寄生出力容量に転送できるが、 i_L が大きければ補助回路がなくてもデッドタイム期間内にターンオフが完了するため、補助回路を不用意に動作させれば効率を悪化させるだけである。そこで、デッドタイム期間内に寄生出力容量を十分に充電する負荷電流閾値を I_{thp} と定義し、負荷電流がこ

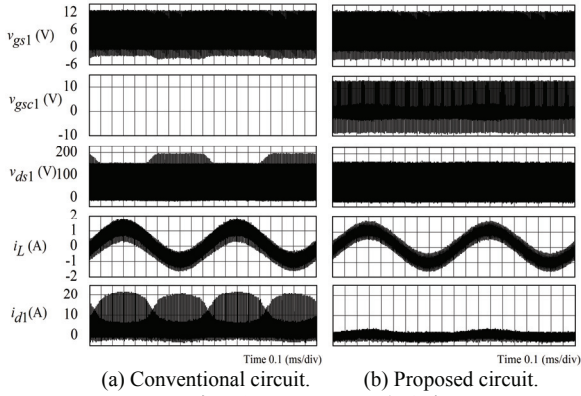


図 12 変調率 0.2 のときの実験結果
Fig. 12. Experimental waveforms at MI = 0.2.

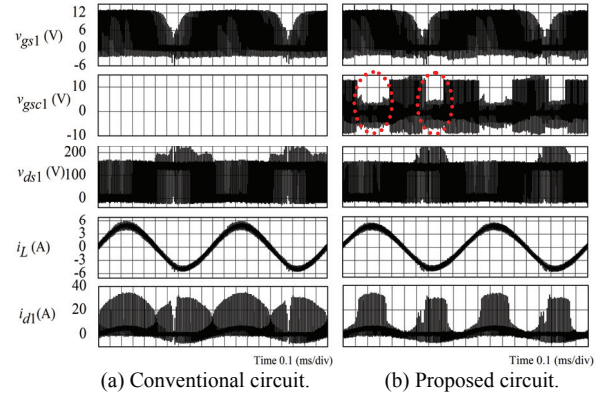


図 14 変調率 0.9 のときの実験結果
Fig. 14. Experimental waveforms at MI = 0.9.

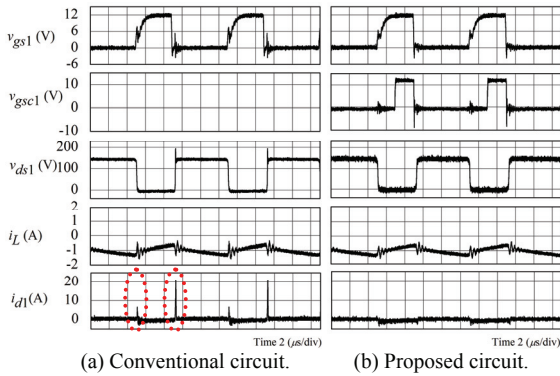


図 13 変調率 0.2 のときの実験結果拡大図
Fig. 13. Expanded views of experimental waveforms at MI = 0.2.

れを超える場合には、補助回路を動作させないようにする。 I_{thp} は(2)を書き直すことで(3)のように求めることができる。なお t_{dead} はデッドタイムの長さである。

$$I_{thp} = \frac{(C1 + C2)(E1 + E2)}{t_{dead}} \quad (3)$$

次に、 i_{d1} が負極性の場合を説明する。正極性と同様に S1 がオフしてから S2 がオンするまでを考える。従来回路においてデッドタイム期間では D1 がオンするため、C1 は一切充電されず、ターンオフは完了しない。ターンオフしないままデッドタイムが終了し、S2 がオンすると図 11(b)に示すように C1 を充電する電流が流れると同時に、D1 に逆電圧がかかるため $E1 \rightarrow D1 \rightarrow S2 \rightarrow E2 \rightarrow E1$ の経路で流れるリカバリ電流とそれに伴うリカバリ損失が発生する。なお、C1 は電圧依存性を持ち、D-S 間電圧が充電されていないときのキャパシタンスが非常に大きくなるため、寄生出力容量の充電電流は大きな値となる。これらの短絡電流によって発生するターンオン損失およびリカバリ損失によって従来回路の効率率は著しく悪化する。一方、提案回路では補助回路を用いて C1 を充電すると同時に D1 をオフし、ターンオン損失およびリカバリ損失を低減することで高効率な動作を期待できる。前節で述べたように、負極性の場合には(1)で表されるエネルギーしか転送されないため、 $P_r = 0$ となる負荷電流閾値を I_{thn} と定義して、負荷電流がこれを超える場合には補助回路を動作させないようにする。 I_{thn} は(4)のように表さ

れ、 t は補助回路のオン時間である。

$$I_{thn} = \frac{Ed1}{Lc1} t \quad (4)$$

提案した手法の有効性を確認するため、実機検証を行った。入力電圧 $E1$ および $E2$ を 70 V、S1 および S2 には ST 製 Y60NM60 ($C_{oss} = 2000$ pF)、補助素子 Sc1 には ST 製 P12NM60、補助ダイオード Dc1 には infineon 製 IDH12S60C、補助ダイオード Dc2 には infineon 製 D06S60、ツェナーダイオード ZD1 には ON Semiconductor 製 1N5349BG を 3 並列、補助インダクタ Lc1 には $4.5 \mu\text{H}$ のものを用いた。下アームの補助回路は上アームのものと同一である。また、(3)(4)より、 $I_{thp} = 2.2$ A、 $I_{thn} = 5.3$ A とそれぞれ求められるが、前者は寄生出力容量の電圧依存性のため、後者は補助ダイオードの電圧降下により計算値から若干乖離する。実験より、 $I_{thp} = 3$ A、 $I_{thn} = 4$ A と設定した。

従来回路および提案回路でスイッチング周波数を 100 kHz、基本波周波数を 1 kHz、デッドタイムを 250 ns、負荷素子パラメータを $8 \Omega - 1$ mH、Lc1 にエネルギーを蓄える時間を $2 \mu\text{s}$ として、変調率が 0.2 の場合の動作波形を図 12、図 13 に示す。これらの図より、従来回路に比べて提案回路において短絡電流が低減されていることが確認できる。これは、補助回路を用いることで寄生出力容量を高速充電すると同時にボディダイオードをオフしているため、直流バスを短絡する経路で電流が流れないためである。また、提案回路では v_{gs1} の振動が従来回路に比べて抑制されていることも確認できる。これは提案回路において i_{d1} の di/dt が抑制されて、MOSFET の寄生インダクタンスにおける逆起電力が発生しないためである。また、変調率が 0.9 の場合の動作波形を図 14、負荷電力—補助回路稼働率特性を図 15 に示す。なお、ここでいう補助回路稼働率とは基本波一周の間で補助回路が動作している割合である。図 14 より設定した負荷電流閾値によって補助回路の動作を間欠させていることが確認できる。さらに、図 15 より負荷が重くなるにつれて、補助回路稼働率が下がることが確認できる。これは、重負荷領域では負荷電流の振幅が大きいため、補助回路を動作させる必要がないからである。また、負荷電力と補助回路の損失も含む総合効率を図 16 に示す。効率は

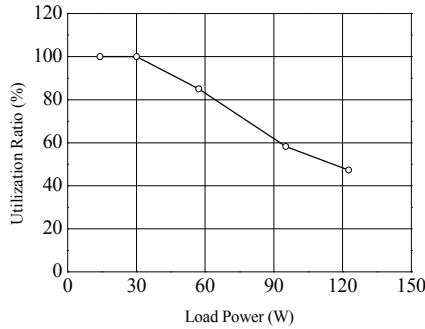


図 15 負荷電力-補助回路稼働率特性

Fig. 15. Load power-utilization ratio characteristic.

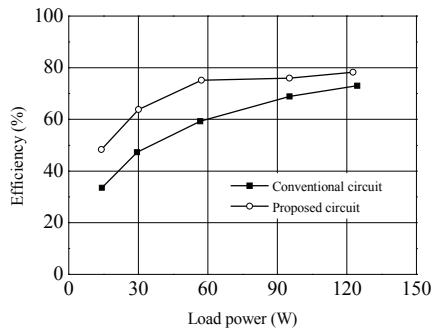


図 16 負荷電力-効率特性

Fig. 16. Load power-efficiency characteristic.

YOKOGAWA 製 WT3000 を用いて主回路およびゲートドライブ電源の入力電力と主回路の出力電力を測定して算出した。同図から読み取れるように、従来回路より提案回路の方が高効率であり、14 W 出力時において効率は 33.5 % から 48.3 % と 14.8 pt 改善した。これは提案回路を適用することによってターンオン損失およびリカバリ損失を低減できたためであるが、詳しい損失分離は今後の課題である。なお、従来回路が軽負荷時に非常に低効率であるのは、短絡電流によるスイッチング損が支配的なためである。一般的に電力変換器ではデッドタイムはスイッチング 1 周期の 5 % 以下にすることが望ましく、100 kHz 駆動時では 500 ns 以下のデッドタイムが求められる⁽⁷⁾。100 kHz のような高周波で軽負荷運転の場合、デッドタイム期間中に主素子寄生出力容量の充放電が十分に行えないため、高速かつ高効率なスイッチングを実現するためには、本稿で提案したスイッチングアシスト回路を用いた手法が有効である。また、ハーフブリッジインバータのような電力変換器における損失は、導通損とスイッチング損の合計であり、従来回路と提案回路では負荷電流が等しいため、主素子の導通損はほぼ同じであると考えられる。よって、従来回路と比べ提案回路の方が効率改善できるのはスイッチング損が減少したためであり、提案する手法は MHz 級の高周波電力変換器において、更に有効であると考えられる。

以上より、MOSFET のドレイン電流の大きさと極性による補助回路の制御条件およびスイッチング損低減による効率向上について確認した。

4. まとめ

本稿では電力変換器の主スイッチング素子である MOSFET の寄生出力容量を高速に充放電するスイッチングアシスト回路について述べた。提案した補助回路を昇圧チョッパ、PWM ハーフブリッジインバータに適用して提案法の有効性を確認した。

昇圧チョッパでは、ダイオードの逆電圧の dv/dt を抑制することでリカバリ電流を低減し、リカバリ損失を最大で 1/5 に改善できることを確認した。また、PWM ハーフブリッジインバータでは直流バスの短絡電流を抑制し、スイッチング損を低減することで 14 W 出力の軽負荷時に効率を 33.5 % から 48.3 % と最大 14.8 pt 改善できることを確認した。

本稿で提案したスイッチングアシスト回路を用いる手法は MOSFET の寄生出力容量が大きい場合にさらに有効である。例えば、大電流化に対応するために MOSFET を並列駆動する場合だけでなく、各種寄生容量が大きな低オン抵抗の MOSFET を駆動する際に効果的である。

文 献

- (1) M. Ishigaki and H. Fujita: "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation", IEEJ Trans, vol. 127-D, no. 10, pp. 1090-1096 (2007) (in Japanese)
石垣将紀・藤田英明:「低損失・高周波動作可能な MOSFET 用共振形ゲートドライブ回路」, 電学論 D, vol.127, no.10, pp.1090-1096 (2007)
- (2) T. Noguchi, S. Yajima, and H. Komatsu: "Development of Gate Drive Circuit for Next-Generation Ultra High-Speed Switching Devices", IEEJ Trans., vol. 129-D, no. 1, pp. 46-52 (2009) (in Japanese)
野口季彦・矢島哲志・小松宏禎:「次世代超高速スイッチング素子ゲート駆動回路の開発」, 電学論 D, vol.129, no.1, pp.46-52 (2009)
- (3) T. Noguchi and T. Mizuno: "High-Speed Switching Method of MOSFETs Using Switching Assist Circuit", IEEJ Trans., vol. 133-D, no. 12, pp. 1186-1192 (2013) (in Japanese)
野口季彦・水野知博・村田宗洋:「スイッチングアシスト回路を用いた MOSFET の高速スイッチング法」, 電学論 D, vol.133, no.12, pp.1186-1192 (2013)
- (4) 餅川宏・小山建夫:「小型・低損失インバータを実現する新回路技術」, 東芝レビュー2006 vol. 61, No. 11, pp. 32-35 (2006)
- (5) T. Noguchi and M. Murata: "High-Speed Switching Method of MOSFET Using Voltage Boost Auxiliary Circuit Fed by Gate Drive Power Supply -Applications to Chopper and Half-Bridge Inverter and Their Operation Characteristics-", INTERNATIONAL POWER ELECTRONICS CONFERENCE -ECCE ASIA- IPEC-Hiroshima, 20D1-4 (2014)
- (6) M. Murata and T. Noguchi: "High-Speed Switching Method of MOSFET Using Voltage Boost Auxiliary Circuit Fed by Gate Drive Power Supply - Application to Bidirectional Chopper and Its Operation Characteristics -", IEE-Japan Ann. Meet., 4-136, pp.230-231 (2014) (in Japanese)
村田宗洋・野口季彦:「ゲートドライブ電源昇圧補助回路を用いた MOSFET の高速スイッチング法-双方向チョッパへの適用と運転特性-」, 平成 26 年電気学会全国大会, 4-136, pp.230-231 (2014)
- (7) K. Shirakawa, K. Wada, and T. Shimizu: "An Issue on 200 kHz Class High Frequency Switching of a PWM Inverter", IEEJ Proc. IAS Annual Conference, vol. 1, pp. 277-280 (2006) (in Japanese)
白川和博・和田圭二・清水敏久:「PWM インバータの 200 kHz 級高周波スイッチングの課題」, 平成 18 年電気学会産業応用部門大会, vol. 1, pp. 277-280 (2006)